

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-251173

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	H
12/18			H 0 4 Q 3/00	
H 0 4 Q 3/00		9466-5K	H 0 4 L 11/18	
		9466-5K	11/20	G

審査請求 未請求 請求項の数13 O L (全 33 頁)

(21) 出願番号 特願平7-48415

(22) 出願日 平成7年(1995)3月8日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 山中 秀昭

鎌倉市大船五丁目1番1号 三菱電機株式
会社通信システム研究所内

(72) 発明者 斉藤 泰孝

鎌倉市大船五丁目1番1号 三菱電機株式
会社通信システム研究所内

(72) 発明者 都築 宗徳

鎌倉市大船五丁目1番1号 三菱電機株式
会社通信システム研究所内

(74) 代理人 弁理士 高田 守 (外4名)

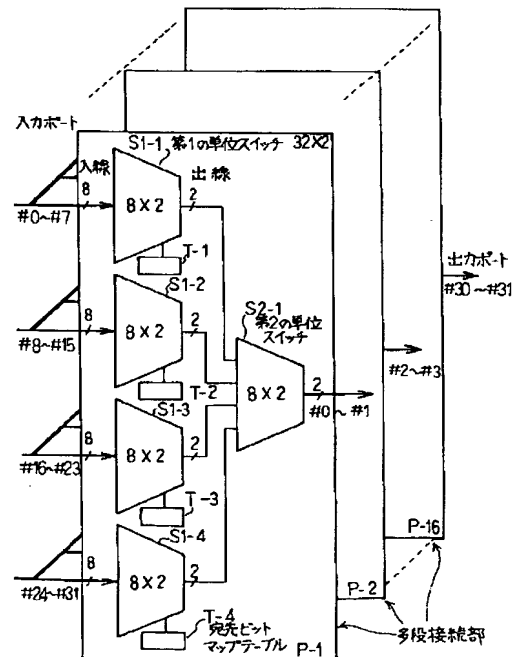
最終頁に続く

(54) 【発明の名称】 データ交換装置

(57) 【要約】

【目的】 単位スイッチを多段構成にし、規模拡大をはかり、同時に同報データを効率よく扱うことができ、また、複数の低速インタフェースおよび高速インタフェースを収容することのできるデータ交換装置を得ることを目的とする。

【構成】 入線数8本、出線数2本の第1の単位スイッチS1と第2の単位スイッチS2を複数備えた多段接続部Pから成る。第1の単位スイッチS1-1～S1-4を1段目に、第2の単位スイッチS2-1を2段目に図のように集線形に接続する。第1の単位スイッチS1だけに、同報データを出力すべき複数の出線を定義したテーブルT-1～T-4を備える。多段接続部P-1～P-16に入力ポート#0～#31を分岐して入力する。多段接続部Pに2本づつ出力ポートを割り当て、16の多段接続部P-1～P-16により、出力ポート#0～#31に出力できる。



2段接続による32×32スイッチの構成図
(8×2の単位スイッチを用いた場合)

【特許請求の範囲】

【請求項 1】 複数の入力ポートと複数の出力ポートを備えており、複数の入力ポートと複数の出力ポートの間に、複数の入線と複数の出線の間でデータを交換する複数の単位スイッチを少なくとも 2 段階に配置し、複数の入力ポートと複数の出力ポートの間でデータを交換し、同報データが入力された時には、前記同報データをコピーしてあらかじめ定められた複数の出力ポートに出力するデータ交換装置において、

第 1 段目の単位スイッチを第 1 の単位スイッチとし、第 2 段目以降の単位スイッチを第 2 の単位スイッチとし、ある入力ポートから入力した同報データに対して複数の第 1 の単位スイッチは必要があれば同報データのコピーと交換を行いコピー済みの複数の同報データを同報先の出力ポートに対応した出線にそれぞれ出力するとともに、第 2 の単位スイッチは前段に複数の単位スイッチを有し上記前段の複数の単位スイッチの出線から出力されるコピー済みの同報データを入力して入力したコピー済みの同報データをあらかじめ定めた所定の規則に基づいて交換して最終的に同報先の出力ポートに出力することを特徴とする多段接続部を有するデータ交換装置。

【請求項 2】 上記多段接続部を複数備え、入力ポートに入力されたデータを複数の上記多段接続部に分岐して入力し、上記多段接続部にそれぞれ異なる出力ポートを割り当ててことを特徴とする請求項 1 記載のデータ交換装置。

【請求項 3】 上記第 1 の単位スイッチは、各同報データを出力すべき複数の出線を定義したテーブルと、上記テーブルを参照することにより同報データを出力すべき出線を判定して同報データのコピーと交換を行う同報処理手段を備えていることを特徴とする請求項 1 又は 2 記載のデータ交換装置。

【請求項 4】 上記第 2 の単位スイッチは、コピー済みの同報データを入力する入線の入線番号に基づいて、コピー済みの同報データを出力する出線を決定することを特徴とする請求項 1、2 又は 3 記載のデータ交換装置。

【請求項 5】 上記データ交換装置は、非同期転送モード通信方式（ATM 通信方式）におけるバーチャルパスアイデンティファイアとバーチャルチャネルアイデンティファイアを有したセルを交換するセル交換装置であり、上記テーブルはバーチャルパスアイデンティファイアとバーチャルチャネルアイデンティファイアの両方または片方に対して同報セルを出力すべき複数の出線を定義し、上記第 1 の単位スイッチは、同報セルのバーチャルパスアイデンティファイアとバーチャルチャネルアイデンティファイアの両方または片方に基づいて上記テーブルから同報すべき出線を決定することを特徴とする請求項 3 又は 4 記載のデータ交換装置。

【請求項 6】 上記テーブルは、各第 1 の単位スイッチに対して、それぞれ独立に設けられていることを特徴と

する請求項 3 記載のデータ交換装置。

【請求項 7】 上記テーブルは、複数の第 1 の単位スイッチに対して、共通に設けられていることを特徴とする請求項 3 記載のデータ交換装置。

【請求項 8】 上記データ交換装置は、セルを交換するセル交換装置であり、セル交換装置は入力ポートの前段に同報セルを識別する同報識別子を各同報セルに割り当てる同報識別子割り当て手段を備え、上記テーブルは同報識別子に対して同報セルを出力すべき出線を定義し、上記第 1 の単位スイッチは同報識別子に基づいて、上記テーブルから同報すべき出線を決定することを特徴とする請求項 3 又は 4 記載のデータ交換装置。

【請求項 9】 上記同報識別子割り当て手段は、複数の上記入力ポートから成る入線群に対してそれぞれ設けられていることを特徴とする請求項 8 記載のデータ交換装置。

【請求項 10】 上記データ交換装置は、複数の低速インタフェースを収容する出力ポートを備え、

上記第 1 の単位スイッチは、上記複数の低速インタフェースに対応した同報データのコピーと交換を行い、

上記第 2 の単位スイッチは、上記複数の低速インタフェースに対応した同報データを上記複数の低速インタフェースを収容する出力ポートに出力することを特徴とする請求項 1 記載のデータ交換装置。

【請求項 11】 上記データ交換装置は、さらに、少なくともいずれかの上記出力ポートの後段に接続され、複数の低速インタフェースを接続するとともに、その出力ポートから出力されたデータを分離して上記低速インタフェースに出力する分離回路と、

上記分離回路と上記第 1 の単位スイッチと上記第 2 の単位スイッチを共通のタイミングで動作させるための識別タイミングを発生させるタイミング発生手段を備え、

上記第 1 の単位スイッチは、上記分離回路が接続された出力ポートに対応する出線に対して、出力するデータを低速インタフェース毎に記憶する複数の待ち行列と、各同報データを出力すべき複数の出線を定義するとともに、その出線が上記低速インタフェースを接続する出線である場合に、同報データを出力すべき低速インタフェースを定義するテーブルと、

上記テーブルを参照することにより、同報データを出力すべき低速インタフェースを判定し、同報データを該当低速インタフェースに対応する待ち行列に記憶する同報処理手段と、

上記待ち行列からデータを出力する順序を識別タイミングにより制御するセクタとを備え、

上記第 2 の単位スイッチは、上記分離回路を接続した出力ポートに対応する出線に対し、出力するデータを低速インタフェース毎に記憶する複数の待ち行列と、

入線から入力されるデータを上記識別タイミングにより出力すべき低速インタフェースに対応した待ち行列に振

り分ける振り分け回路と、

上記待ち行列からデータを出力する順序を識別タイミングにより制御するセレクタを備えていることを特徴とする請求項 10 記載のデータ交換装置。

【請求項 12】 上記データ交換装置は、少なくともひとつの高速インタフェースに収容される複数の出力ポートを備え、

上記第 1 の単位スイッチは、上記高速インタフェースに対応した同報データのコピーと交換を行い、

上記第 2 の単位スイッチは、上記高速インタフェースに対応した同報データを上記高速インタフェースに収容された複数の出力ポートに出力することを特徴とする請求項 1 記載のデータ交換装置。

【請求項 13】 上記データ交換装置は、さらに、上記複数の出力ポートの後段に接続され、上記高速インタフェースを接続するとともに、複数の出力ポートから出力されたデータを多重化して上記高速インタフェースに出力する多重回路と、

上記第 1 の単位スイッチと第 2 の単位スイッチは、上記多重回路に接続された複数出力ポートに対応している複数の出線に対して、データを記憶するひとつの待ち行列を備え、

上記待ち行列に記憶された順序で各出線にデータを出力することを特徴とする請求項 12 記載のデータ交換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、音声、データ、画像などマルチメディアの種々の情報を高速で交換するデータ交換装置に関するものである。また特に、広帯域 ISDN に採用されている非同期転送モード (ATM) 通信方式において、これらのデータをブロック化した固定長パケットであるセルを、高速で交換するセル交換装置に関するものである。

【0002】

【従来の技術】

従来例 1. 大規模なスイッチを構成するとき、単位スイッチを多段構成にし、規模拡張をはかる方法は従来から知られている。”ATM 交換システムアーキテクチャの検討”(電子情報通信学会技術研究報告 SSE 89-38, 1989. 鈴木、鈴木、伊藤、石戸) という文献には、多段構成の例として 3 段接続した場合が掲載されている。図 36 に、通話路の構成モデルを示す。入回線からシステムに入ったセルは、セル同期化部で回線上の受信クロックから、システムの動作クロックに乗り換えられ、さらに、システム内の通話路上で規定されたセル同期タイミングに合わせて出力される。次に、セルはヘッダ処理部に入力される。ここでは、まずセルのヘッダチェックを行ない、ヘッダ部にエラーがなければ、VCI を基にして、スイッチのどの出線に出力するかを指定す

る出線情報を付加し、さらにヘッダ部の VCI の値を出回線対応にあらかじめ決められた値に変更する。ヘッダ変換を行った後は、セルは ATM スイッチ部に入力され、ヘッダ処理部で付加された出線情報により指定された出線へとスイッチングが行なわれ、出力される。セルトラヒック測定部は、通話路の状態を把握したり、呼毎の通話量を求めるために、スイッチの前段や直後等でセルの通過量などの測定を行う。各機能の配備位置については、処理のやり方により必ずしも図 36 で示した位置関係であるとは限らないが、いずれも必要な機能である。

【0003】 次に、ヘッダ処理部がスイッチに与えるルート情報の形式について考察する。通常は呼処理の結果決定したルートの経路に沿って、各单位スイッチの出線(出ポート)番号をスイッチの段数分だけ与えてやればよい。同報接続に対するサポートを考量すると、複数の出線への出力を指定可能なビットマップ形式(各 bit がスイッチの出線に対応、ビットの値によりセル出力可否かを指定)による表現が必要である。これに対して、通常の 1 対 1 接続時には出線番号を用い、同報接続のみビットマップ形式の表現を用いる方法が考えられる。本方式と全てビットマップ表現時のルート情報検索テーブルの容量についての比較を図 37 に示す。図よりビットマップ形式の表現を同報呼のみとすることで、テーブルのハードウェア量を大幅に小さくできることがわかる。同報呼は、スイッチ前段のヘッダ処理部にて VCI を同報呼識別番号に一度変換して、スイッチ部で同報呼識別番号からテーブルを検索してビットマップ化する。1 対 1 接続時には出線番号をスイッチ前段のヘッダ処理部で求めて、スイッチに送る。次に、セルの VCI 更新処理について考察する。同報接続を考えるとスイッチング(=セルの複製)を行った後でしか VCI の更新はできない。しかしスイッチ後段で VCI 変換するためには入線番号もしくはそれに代わりうる呼毎の識別番号(先の同報識別子はこれに相当する。)をスイッチ後段の VCI 変換部まで持ち回る必要がある。同報の場合に識別子を利用することを考えれば、通常の 1 対 1 接続時はスイッチ前段のルート情報を求める時に VCI の更新処理を行ない、同報接続時は同報呼識別番号を用いてスイッチ後段に設けたヘッダ処理部で変換する方法が、持ち回る情報を少なくでき、テーブルも増えず適当である。以上の検討結果に基づくヘッダ処理部の構成を図 38 に示す。1 対 1 接続呼の場合は、スイッチ前段に配置されたヘッダ処理部が、入力されたセルのヘッダチェックを行ない、VCI から出線情報と次のリンク上で定義された VCI (新 VCI) の検索を行ない、VCI の書き換えを行った後、セルと出線情報をスイッチ部に送る。

【0004】 同報接続呼の場合は、スイッチ前段に配置されたヘッダ処理部が、VCI から同報呼識別番号を検索して、セルと共にスイッチに入力する。スイッチから

出力されたセルは、スイッチの出力部に配置されたヘッダ処理部で、先に付与された同報呼識別番号により、新 VCI の検索が行われ、ヘッダに書き込まれる。実際の構成としては、各テーブルの容量は、図 37 にもあるように、百 K バイトを越えるため、LSI に内蔵することは現状では得策でない。また、アクセスがセル単位となるため通常の汎用メモリ素子を使用できる。従ってヘッダ処理部は、ヘッダ部のチェック、変換、メモリ制御を行う LSI より構成される論理部とそれに接続される汎用メモリからなるテーブルにより実現するのが適当である。

【0005】以上のように、単位スイッチを多段構成にし、大規模なスイッチを構成するとともに、セルをコピーし複数の宛先に配る、すなわち同報に関しても検討されている。同時に図 37 に示すように、入線内の呼の識別番号 (VCI 値) に応じて、その出力すべき複数の出線を管理する宛先ビットマップテーブルの量が大きくなるという検討もされている。特に大規模化のために三段接続等の多段接続するときには図 38 に示すように、各スイッチが宛先ビットマップテーブルを備え同報セルに対するルーチングを行うようになっている。そのため、宛先ビットマップテーブルの大きさが膨大なものとなる問題点があるが、同文献によると同報呼の数を制限し、同報識別子を導入する案が出され、宛先ビットマップテーブルを削減することが提示されている。しかし、2 段目および 3 段目に関して、全ての入線から同報セルが到着する可能性があるため、全ての入線の同報呼の宛先情報を備えなければならない。また、同報呼番号は全ての入線を含めた同報呼に番号を付与したものであり、最悪では非常に大きな数になるという問題点があった。

【0006】従来例 2、大規模なスイッチを構成するとき単位スイッチを 2 段構成にし、規模拡張をはかる方法が "An ATM System and Network Architecture in Field Trial," (GLOBECOM' 93, セッション 40, 40.5, 1993 年, Wolfgang Fischer, Rolf Stiefel and Tom Worster) という文献にすでに開示されている。図 39 には、 32×16 のスイッチを 12 枚用いて、 64×64 の大規模なスイッチを構成する場合が示されている。図では 64×16 を構成するじょうご型構造 (A) を 4 組平行に接続することにより 64×64 の大規模なスイッチを形成する。スイッチングエレメントの他の組み合わせ方により大規模なスイッチングネットワークが可能である。例えば、3 段構成により 128×128 のスイッチングネットワークを構成できる。

【0007】しかし、同文献には、同報を扱うことが述べられていない。また、仮に従来例 1 と同様の考えを導入すると、2 段目以降のスイッチにおいては、全ての入線のセルを振り分ける必要があるため、宛先ビットマッ

プテーブルの量が増大するという問題が発生する。

【0008】従来例 3、複数の低速インタフェースを収容可能な ATM スwitch について、特開平 4-180433 の例がある。

【0009】図 40 は、セル交換装置を表す全体構成図である。このセル交換装置 8 は、セルが入力する 155.52 Mb/s の 32 本の入力ポート 6 およびセルを出力する 155.52 Mb/s の 32 本の出力ポート 7 の間でセルの交換を行うものである。また、このセル交換装置 8 は、155.52 Mb/s の入力ポート 6 を 1 本の 622.08 Mb/s の入線 1 にセル多重するセル多重回路 4 を 8 回路と、622.08 Mb/s インタフェースで 8 本の入線 1 と 8 本の出線 2 を収容する ATM スwitch 3 と、1 本の 622.08 Mb/s の出線 2 を 4 本の 155.52 Mb/s の出力ポート 7 にセル分離するセル分離回路 5 を 8 回路備えている。

【0010】図 41 は、上記 ATM スwitch 3 の例を示したものである。同図において、1 は宛先情報として出力ポート番号を含むヘッダ部とデータ部よりなるセルが入力する入力ポートがセル多重された n ($n \geq 2$) 本の入線である。2 は前記セルがそのヘッダ部にて指定する宛先に応じて出力されるべき出力ポートを収容した m ($m \geq 2$) 本の出線である。10 は前記入線 1 の各々に対応して設けられ、入線 1 より入力されたセルのヘッダ部より宛先の出力ポート 7 を検出するヘッダ処理回路である。また、11 は指定されたアドレスに前記セルを蓄積し、アドレスを指定することによって書き込みの際の順序とは無関係に、蓄積されたセルを読み出すことができる p ($p \geq 1$) 個のバッファメモリである。12 はこのバッファメモリ 11 の各々に対応して設けられ、例えば FIFO タイプのメモリを用いて空きアドレスの管理を行ない、対応付けられたバッファメモリ 11 にリードアドレスおよびライトアドレスを与える記憶制御回路である。13 は前記ヘッダ処理回路 10 を所定のバッファメモリ 11 に選択的に接続するセル書き込み回路で、空間スイッチで実現される。14 は各バッファメモリ 11 を所定の出線 2 に選択的に接続するセル読み出し回路であり、空間スイッチで実現される。

【0011】15 はバッファ制御回路である。バッファ制御回路 15 は前記セル書き込み回路 13 のスイッチングを制御してセルが蓄積されるバッファメモリ 11 の選択を行う。また、蓄積されたセルのバッファメモリ 11 上のアドレスを各セルの出力ポート別に管理して、当該宛先別に管理しているアドレスに基づいてセル読み出し回路 14 のスイッチングを制御する。そして前記セルをそのヘッダ部で指定される前記出力ポート 7 を収容する出線 2 に所定の順番で出力される。

【0012】また、前記バッファ制御回路 15 は、以下の構成をもつ。書き込みバッファ選択回路 16 は入線 1 にセルが到着すると、その入線 1 に対応して設けられた

ヘッダ処理回路10によって検出された当該セルの出線番号を受け、そのセルを蓄積するバッファメモリ11を選択する。そして、バッファメモリ11を該当するヘッダ処理回路10に接続するため、前記セル書き込み回路13のスイッチングを制御する。アドレス交換回路17はこの書き込みバッファ選択回路16の検出した出力ポート番号を参照して到着したセルを宛先の出力ポート別に分け、当該セルが書き込まれたバッファメモリ11上のライトアドレスを当該バッファメモリ11に対応する記憶制御回路12より得て、それを後述するアドレス待ち行列に書き込む。18はアドレス待ち行列であり、FIFOタイプのメモリによって構成されて、前記出線2の各々が収容する出力ポートに対応して設けられている。アドレス待ち行列18には、それが対応付けられた出力ポート毎に、当該出力ポートを宛先とするセルが蓄積されたバッファメモリ11上のライトアドレスが、到着した順番に前記アドレス交換回路17によって書き込まれる。読み出しバッファ選択回路19は、アドレス待ち行列18を参照してバッファメモリ11から読み出すセルを決定し、そのアドレス待ち行列18から読み出したアドレスをリードアドレスとして該当するバッファメモリ11に対応付けられた記憶制御回路12に送る。また、セル読み出し回路14のスイッチングを制御して、前記バッファメモリ11を該当する出線2に接続する。

【0013】図42はセル多重回路の内部回路例で、図40において4本の155.52Mb/sの入力ポート6を1本の622.08Mb/sの入線1にセル多重する例である。図中、入力ポート6に対応して一つのFIFOタイプのメモリで構成されたセル速度調整バッファ21が用いられ、書き込みを155.52Mb/s、読み出しを順次622.08Mb/sで行っている。図44はセル分離回路の内部回路例で、図40において1本の622.08Mb/sの出線2を4本の155.52Mb/sの出力ポート7にセル分離する例である。図中、出力ポート7に対応して一つのFIFOタイプのメモリで構成されたセル速度調整バッファ23とアドレスフィルタ22が用いられ、書き込みを622.08Mb/s、読み出しを155.52Mb/sで行っている。セル速度調整バッファ21, 23は速度調整のみを目的とし、セルの統計多重効果を期待するものではないので、その容量は高々2セル分程度で十分である。次に、セル多重回路の動作について説明する。ここで扱われるセル長は固定長で、ランダムに入力されるのもであり、入力ポート6に入力する前にセル入力位相が調整されて、全線からのセル入力とは同一の位相で供給されるものとする。図43は本回路例におけるタイミング図であり、図42の入力ポート6をA、入線1をBとし、それぞれセル単位で示してある。ATM通信方式では、あるタイムスロットに有意なセルが来る場合と、何も情報をもたないアイドルセル(空セル)が来ることもある。図

中、有意セルを"セル1"等で示し、アイドルセル(空セル)は"アイドルセル"と明記してある。622.08Mb/sにおける1セル転送時間は、155.52Mb/sのその4分の1であり、入力ポート6から入力したセルを全て入線1に収容する容量がある。ここでは、155.52Mb/sにおける1セル時間を単位とし、622.08Mb/sの4セルをその時間的位置で入力ポート6を固定的に割り当てる方式をとっている。例えば#1の入力ポート6から入力したセルは、図中#1の位置で622.08Mb/sとして出力するようにする。

【0014】次に、ATMスイッチの動作を図41について説明する。ここで、スイッチに入力する各入線1でのセルの入力位相は調整され、同一であるものとする。入線1にセルが入力すると、各入線1に対応して設けられたヘッダ処理回路10は、入力したセルのヘッダ部より出力ポートおよびそれを収容する出線番号を検出する。バッファ制御回路15内の書き込みバッファ選択回路16は、このヘッダ処理回路10を参照して、セル書き込み回路13に、セルの到着したヘッダ処理回路10とセルを記憶するため選択されたバッファメモリ11とを個々に接続するように指示する。このとき用いられるライトアドレスは、記憶制御回路12を参照することで得られる。このライトアドレスはアドレス交換回路17に送られ、各入線1に到着したセルの宛先出力ポート7に応じて分けられる。

【0015】アドレス待ち行列18は出力ポート別に設けられ、前記セルのライトアドレスおよびバッファメモリ番号がその最後尾に書き込まれる。読み出しバッファ選択回路19は、これらアドレス待ち行列18より、そこに格納されているアドレスを取り出して該当するバッファメモリ11に対応した記憶制御回路12に送るとともに、セル読み出し回路14にバッファメモリ11と出線2とを個々に接続するように指示する。また、一般に出線2の容量と出力ポート7の容量は異なるが、アドレス待ち行列18の読み出しは出力ポート単位に行われるので、出力ポートの速度に合わせて読み出すことにより出力ポート7の容量を超えないようにする。セル読み出し回路14は、このタイムスロットにてバッファメモリ11と出線2を接続する。各記憶制御回路12は、受け取ったアドレスを対応付けられたバッファメモリ11にリードアドレスとして送り、以降、そのアドレスを空きアドレスとして管理する。各バッファメモリ11から読み出されたセルは、それぞれのヘッダ部で指定された宛先出力ポート7を収容する出線2に出力される。

【0016】ここで、図46および図47は出線#1に関するアドレス待ち行列18の読み出しを詳しく示した例である。出線#1は、155.52Mb/sの出力ポート#1~#4を収容しているため、622.08Mb/sの速度を持っている。図46は、あるタイムスロ

トで出力ポート#1~#4に対応したアドレス待ち行列18の例であり、“セル11”等と示されているところには、そのセルを格納しているバッファメモリ番号とアドレスとが書き込まれている。図47は、アドレス待ち行列18の読み出し規則を示している。同図は、出線2におけるタイミングを示しており、4セル単位にそれぞれ出力ポート#1~#4宛のセルを固定的に割り当てている点が従来とは異なる。例えば、図中、タイムスロット1~4はそれぞれ出力ポート#1~#4に割り当てられ、それが繰り返されている。そのため、セル分離回路5では規則的に速度調整のみを行えばよく、セル分離回路5でのバッファオーバーフローによるセル廃棄が生じない。例えば、図46において現在出力ポート#1宛にセル11、#2宛にセル21、#4宛にセル41が出力を待っている。従って、それらを規則的にタイムスロット1, 2, 4で読み出している。タイムスロット3では、出力ポート#3宛のセルが到着していないため、アイドルセル(図中“空セル”と明記)を送出している。

【0017】アドレス待ち行列18は出力ポート7に対応して設けられているが、従来の例では出線2に対して一つの大きな待ち行列があると考えられ、もし、この例を当てはめればタイムスロット3で他の有意セルが出力されるので空セルが出力されることはなく、出力ポート#1, #2, #4のどれかが重複することになり、セル分離回路5でバッファリングする必要がある。すなわち、従来の例では、一つの出力ポート7に対してセルの到着に統計的な揺らぎが発生することになり、セル分離回路5において多量のバッファを要する。

【0018】次に、セル分離回路の動作について説明する。図45は、本回路例におけるタイミング図であり、図44の出線2をC、出力ポート7をDとし、それぞれセル単位で示してある。図中、図43と同様に、有意セルを“セル1”等で示し、アイドルセル(空セル)は“アイドルセル”と明記してある。622, 08Mb/sにおける転送時間は、155, 52Mb/sのその4分の1である。ATMスイッチ3から送信される出線2は622, 08Mb/sであるが、155, 52Mb/sにおける1セル時間を単位とし、622, 08Mb/sの4セルをその時間的位置で出力ポート7を固定的に割り当てているため、セル分離回路5に入力したセルは、必ず出力する出力ポート7およびタイムスロットが保証され、ここでのバッファ溢れは生じないようになっている。セル分離回路5に入力したセルは、まず出力ポート7に対応して設けられたアドレスフィルタ22に同報され、対応する出力ポート7に対応したアドレスフィルタ22のみが前記セルを通過させ速度調整バッファ23に書き込む。他のアドレスフィルタ22では前記セルを廃棄する。セル速度調整バッファ23は、書き込みは622, 08Mb/sで行ない、読み出しは155, 52Mb/sで行うことで速度調整を行う。セル速度調整

バッファ23は速度調整のみを目的とし、セルの統計多重効果を期待するものではないので、その容量は高々2セル分程度で十分である。

【0019】しかし上述の場合、スイッチが1段の場合のみを考えているので、大規模なスイッチを構成できないという問題点があった。また、同報機能の実現も述べられていなかった。

【0020】従来例4, ATMスイッチの入線および出線に比べて、高速インタフェースを収容するシステムについては、“同報機能付き共通バッファ形ATMスイッチLSIの開発”(電子情報通信学会、信学技報SSE92-169, 1993.)が開示されている。

【0021】図48に示すように、単位スイッチの入線#0~3にDMUX、出線#0~3にMUXを接続することにより、2, 4Gb/s回線を収容する。この時、単位スイッチ内では出線#0~3に対するセルを1つのアドレスキューにキューイングし、セルの順序管理を行う。さらにDMUXでは先に受信したセルから順に入線#0~3に出力し、MUXでは出線#0~3の順でセルを回線に送出することによって、セルの順序を保つことができる。また、この他に入/出線#4~7を接続してもよく、これには600Mb/s 4回線または150Mb/s 16回線のどちらかを選択して収容することが可能である。

【0022】しかし、スイッチが1段の場合のみを考えているので、大規模なスイッチを構成できないという問題点があった。

【0023】

【発明が解決しようとする課題】この発明は、上記のような課題を解決するためになされたもので、単位スイッチを多段構成にし、規模拡大をはかり、同時に同報データを効率よく扱うことができるデータ交換装置を得ることを目的とする。

【0024】またこの発明は、単位スイッチを多段構成し、規模拡大をはかり、かつ複数の低速インタフェースを収容可能なデータ交換装置を得ることを目的とする。

【0025】またこの発明は、単位スイッチを多段構成にし、規模拡大をはかり、かつ高速インタフェースを収容することのできるデータ交換装置を得ることを目的とする。

【0026】

【課題を解決するための手段】第1の発明に係わるデータ交換装置は、複数の入力ポートと複数の出力ポートを備えており、複数の入力ポートと複数の出力ポートの間に、複数の入線と複数の出線の間でデータを交換する複数の単位スイッチを少なくとも2段階に配置し、複数の入力ポートと複数の出力ポートの間でデータを交換するデータ交換装置において、第1段目の単位スイッチを第1の単位スイッチとし、第2段目以降の単位スイッチを第2の単位スイッチとし、ある入力ポートから入力した

同報データに対して複数の第 1 の単位スイッチは必要があれば同報データのコピーと交換を行いコピー済みの複数の同報データを同報先の出力ポートに対応した出線にそれぞれ出力するとともに、第 2 の単位スイッチは前段に複数の単位スイッチを有し上記前段の複数の単位スイッチの出線から出力されるコピー済みの同報データを入力して入力したコピー済みの同報データをあらかじめ定めた所定の規則に基づいて交換して最終的に同報先の出力ポートに出力することを特徴とする多段接続部を有することを特徴とする。

【0027】第 2 の発明に係わるデータ交換装置は、上記多段接続部を複数備え、入力ポートに入力されたデータを複数の上記多段接続部に分岐して入力し、上記多段接続部にそれぞれ異なる出力ポートを割り当てることを特徴とする。

【0028】第 3 の発明に係わるデータ交換装置において、上記第 1 の単位スイッチは、各同報データを出力すべき複数の出線を定義したテーブルと、上記テーブルを参照することにより同報データを出力すべき出線を判定して同報データのコピーと交換を行う同報処理手段を備えていることを特徴とする。

【0029】第 4 の発明に係わるデータ交換装置において、上記第 2 の単位スイッチは、コピー済みの同報データをを入力する入線の入線番号に基づいて、コピー済みの同報データを出力する出線を決定することを特徴とする。

【0030】第 5 の発明に係わるデータ交換装置は、バーチャルバスアイデンティファイアとバーチャルチャネルアイデンティファイアを有したセルを交換するセル交換装置であり、上記テーブルはバーチャルバスアイデンティファイアとバーチャルチャネルアイデンティファイアに対して同報セルを出力すべき複数の出線を定義し、上記第 1 の単位スイッチは、同報セルのバーチャルバスアイデンティファイアとバーチャルチャネルアイデンティファイアに基づいて上記テーブルから同報すべき出線を決定することを特徴とする。

【0031】第 6 の発明に係わるデータ交換装置において、上記テーブルは、各第 1 の単位スイッチに対して、それぞれ独立に設けられていることを特徴とする。

【0032】第 7 の発明に係わるデータ交換装置において、上記テーブルは、複数の第 1 の単位スイッチに対して、共通に設けられていることを特徴とする。

【0033】第 8 の発明に係わるデータ交換装置は、セルを交換するセル交換装置であり、セル交換装置は入力ポートの前段に同報セルを識別する同報識別子を各同報セルに割り当てる同報識別子割り当て手段を備え、上記テーブルは同報識別子に対して同報セルを出力すべき出線を定義し、上記第 1 の単位スイッチは同報識別子に基づいて、上記テーブルから同報すべき出線を決定することを特徴とする。

【0034】第 9 の発明に係わるデータ交換装置において、上記同報識別子割り当て手段は、複数の上記入力ポートから成る入線群に対してそれぞれ設けられていることを特徴とする。

【0035】第 10 の発明に係わるデータ交換装置は、複数の低速インタフェースを収容する出力ポートを備え、上記第 1 の単位スイッチは、上記複数の低速インタフェースに対応した同報データのコピーと交換を行い、上記第 2 の単位スイッチは、上記複数の低速インタフェースに対応した同報データを上記複数の低速インタフェースを収容する出力ポートに出力することを特徴とする。

【0036】第 11 の発明に係わるデータ交換装置は、さらに、少なくともいずれかの上記出力ポートの後段に接続され、複数の低速インタフェースを接続するとともに、その出力ポートから出力されたデータを分離して上記低速インタフェースに出力する分離回路と、上記分離回路と上記第 1 の単位スイッチと上記第 2 の単位スイッチを共通のタイミングで動作させるための識別タイミングを発生させるタイミング発生手段を備え、上記第 1 の単位スイッチは、上記分離回路が接続された出力ポートに対応する出線に対して、出力するデータを低速インタフェース毎に記憶する複数の待ち行列と、各同報データを出力すべき複数の出線を定義するとともに、その出線が上記低速インタフェースを接続する出線である場合に、同報データを出力すべき低速インタフェースを定義するテーブルと、上記テーブルを参照することにより、同報データを出力すべき低速インタフェースを判定し、同報データを該当低速インタフェースに対応する待ち行列に記憶する同報処理手段と、上記待ち行列からデータを出力する順序を識別タイミングにより制御するセレクトとを備え、上記第 2 の単位スイッチは、上記分離回路を接続した出力ポートに対応する出線に対し、出力するデータを低速インタフェース毎に記憶する複数の待ち行列と、入線から入力されるデータを上記識別タイミングにより出力すべき低速インタフェースに対応した待ち行列に振り分ける振り分け回路と、上記待ち行列からデータを出力する順序を識別タイミングにより制御するセレクトを備えていることを特徴とする。

【0037】第 12 の発明に係わるデータ交換装置は、少なくともひとつの高速インタフェースに収容される複数の出力ポートを備え、上記第 1 の単位スイッチは、上記高速インタフェースに対応した同報データのコピーと交換を行い、上記第 2 の単位スイッチは、上記高速インタフェースに対応した同報データを上記高速インタフェースに収容された複数の出力ポートに出力することを特徴とする。

【0038】第 13 の発明に係わるデータ交換装置は、さらに、上記複数の出力ポートの後段に接続され、上記高速インタフェースを接続するとともに、複数の出力ポ

10

20

30

40

50

ートから出力されたデータを多重化して上記高速インタフェースに出力する多重回路と、上記第1の単位スイッチと第2の単位スイッチは、上記多重回路に接続された複数出力ポートに対応している複数の出線に対して、データを記憶するひとつの待ち行列を備え、上記待ち行列に記憶された順序で各出線にデータを出力することを特徴とする。

【0039】

【作用】第1の発明におけるデータ交換装置は、複数の第1の単位スイッチと複数の第2の単位スイッチを備えている。データ交換装置は、第1段目に複数の第1の単位スイッチ、2段目以降に第2の単位スイッチを複数配置した多段接続部からなる。第1の単位スイッチの入線は入力ポートに接続され、必要があれば同報データのコピーを行う。そして、コピー済の複数の同報データを同報先の出力ポートに対応した出線にそれぞれ出力する。第2の単位スイッチは2段目以降に配置される。2段目に配置された第2の単位スイッチは前段の複数の第1の単位スイッチからコピー済の同報データをを入力する。そして、あらかじめ定めた所定の規則に基づいて出線を決

定する。もし3段目、4段目・・・があれば、第2の単位スイッチは前段の第2の単位スイッチからコピー済の同報データをを入力し、あらかじめ定めた所定の規則に基づいて出線を決

定する。そして最終段の第2の単位スイッチの出線は出力ポートに接続されており、コピー済みの同報データを同報先の出力ポートに出力する。第1の単位スイッチを複数用いることで、データ交換装置に接続できる入力ポートの数を増やすことができる。

【0040】第2の発明におけるデータ交換装置は、複数の第1の単位スイッチおよび第2の単位スイッチを多段接続した多段接続部を複数備える。入力ポートに入力されたデータを複数の上記多段接続部に分岐して入力する。そして、多段接続部にそれぞれ異なる出力ポートを割り当てる。これにより、データ交換装置に接続できる出力ポートの数を増やすことができる。

【0041】第3の発明におけるデータ交換装置は、各同報データを出力すべき複数の出線を定義したテーブルを第1の単位スイッチに備えている。第1の単位スイッチの同報処理手段は、上記テーブルを参照することにより同報データを出力すべき出線を判定して同報データの

コピーと交換を行う。

【0042】第4の発明におけるデータ交換装置は、入力されたコピー済の同報データを入線番号に基づいて、出力する出線を決定する第2の単位スイッチを持つ。そのため第2の単位スイッチでは、入力されたデータの出線を決

定するためのテーブルを備える必要がない。

【0043】第5の発明におけるデータ交換装置は、バーチャルバスアイデンティファイアとバーチャルチャネルアイデンティファイアを有したセルを交換するセル交換装置である。第1の単位スイッチに備えられているテ

ーブルは、バーチャルバスアイデンティファイアとバーチャルチャネルアイデンティファイアに対し、同報セルを出力すべき複数の出線を定義している。これにより第1の単位スイッチは、同報セルのバーチャルバスアイデンティファイアとバーチャルチャネルアイデンティファイアに基づいて、上記テーブルから同報すべき出線を決定することができる。

【0044】第6の発明におけるデータ交換装置は、宛先出線を決定するテーブルを各第1の単位スイッチ毎に独立して備えている。そのためテーブルは、それぞれの第1の単位スイッチに接続されている入力ポートから入力される同報データのみを対象とすればよいので、テーブルの大きさを小さくすることができる。

【0045】第7の発明におけるデータ交換装置は、複数の第1の単位スイッチで1つのテーブルを共有して使用することができる。或いは、全ての第1の単位スイッチが、1つのテーブルを使用することもできる。

【0046】第8の発明におけるデータ交換装置は、セルを交換するセル交換装置である。セル交換装置は同報識別子割り当て手段を持つ。同報識別子割り当て手段は入力ポートの前段に接続され、同報セルを識別する同報識別子を各同報セルに割り当てる。また、上記テーブルは同報識別子に対し同報セルを出力すべき出線を定義する。第1の単位スイッチは同報識別子に基づいて上記テーブルから同報すべき出線を決定する。

【0047】第9の発明におけるデータ交換装置は、入力ポートを幾本かづつの入線群に分けている。同報識別子割り当て手段はそれぞれの入線群に対し設ける。そのため、テーブルに登録しておく必要のある同報識別子の数は対応する入線群に属している入力ポートから入力される同報データに関してでよい。そのためテーブルの大きさを小さくすることができる。

【0048】第10の発明におけるデータ交換装置は、出力ポートに複数の低速インタフェースを収容することができる。第1の単位スイッチは、出力ポートに複数の低速インタフェースを備えた場合に対応した同報データの

コピーと交換を行う。第2の単位スイッチは上記複数の低速インタフェースに対応した同報データを出力する。

【0049】第11の発明におけるデータ交換装置は、出力ポートの後段に低速インタフェースを収容することができる。低速インタフェースは分離回路を介して、データ交換装置の出力ポートに接続される。また、データ交換装置はタイミング発生手段を備える。タイミング発生手段は、上記分離回路と第1の単位スイッチと第2の単位スイッチを共通のタイミングで動作させるための識別タイミングを発生する。第1の単位スイッチは、上記分離回路に接続された出力ポートに対応する出線に出力するデータを低速インタフェース毎に記憶する複数の待ち行列を持つ。第1の単位スイッチに備えられているテ

ープルは、同報データを出力すべき複数の出線を定義している。また、その出線が上記低速インタフェースを接続する出線である場合、同報データを出力する低速インタフェースを定義している。第1の単位スイッチの同報処理手段は、上記テーブルを参照し、同報データを出力すべき低速インタフェースを判定し、同報データをその低速インタフェースに対応する待ち行列に記憶する。セレクトは、低速インタフェースに対応する複数の待ち行列からデータを出力する時に、どの待ち行列からデータを出力するか、識別タイミングにより制御する。第2の単位スイッチは、上記分離回路を接続した出力ポートに対応する出線である場合、低速インタフェース毎出力するデータを記憶する複数の待ち行列を持つ。入線から入力されるデータを、上記識別タイミングにより低速インタフェースに対応した待ち行列に振り分ける振り分け回路を持つ。同一の識別タイミングにより第1の単位スイッチのセレクトと、第2の単位スイッチの振り分け回路を制御する。これにより、第1の単位スイッチのあるひとつの低速インタフェースに対応する待ち行列に記憶されていたデータは、第2の単位スイッチの同じ低速インタフェースに対応する待ち行列に記憶されることになる。すなわち、同一の識別タイミングを与えることにより、第1の単位スイッチと第2の単位スイッチの間で、同期をとることができる。また、低速インタフェースに対応する待ち行列からデータを出力する順序を、上記識別タイミングにより制御するセレクトが備えられている。第2の単位スイッチのセレクトと分離回路が、同一の識別タイミングにより制御されるため、分離回路で各低速インタフェース毎にデータが分離される時に、宛先の低速インタフェースにデータが正しく出力される。第1、第2の単位スイッチにセレクトを備えることにより、通常の出線に対応する待ち行列からの出力に比べ、低速インタフェース毎に記憶されている複数の待ち行列から出力されるデータの回数は少なくなっている。そのため分離回路におけるバッファ溢れによるセル廃棄をなくすることができる。

【0050】第12の発明におけるデータ交換装置は、出力ポートに少なくとも1つの高速インタフェースを収容する。1つの高速インタフェースには複数の出力ポートに接続される。第1の単位スイッチは高速インタフェースに対応した同報データのコピーと交換を行う。第2の単位スイッチは高速インタフェースに対応した同報データを上記高速インタフェースに収容された複数の出力ポートに出力することができる。

【0051】第13の発明におけるデータ交換装置は、複数の出力ポートの後段に多重回路を接続し、この多重回路の後段に高速インタフェースを接続する。多重回路は複数の出力ポートから出力されたデータを多重化するものである。第1の単位スイッチと第2の単位スイッチは、上記多重回路に接続された複数の出力ポートに対応

している複数の出線に対し、データを記憶するひとつの待ち行列を備えている。上記待ち行列に記憶された順序で、各出線にデータを出力する。

【0052】

【実施例】

実施例1. この実施例において、大規模なATMスイッチを構成するために単位スイッチを多段構成にし規模拡張をはかる方法の一例について説明する。この実施例で説明する接続形態は、従来例2に記載された接続方法を基礎とするが、1段目とそれ以降のスイッチの機能が異なった、集線形接続法である。例えば2段接続したときに、一段目の単位スイッチでセルのコピーと交換を行い、二段目の単位スイッチはセルの入力した入線番号情報から宛先を判定するものである。

【0053】図1に、入線数が8、出線数が2（以後 8×2 と記す）の単位スイッチを二段接続し、入力ポート数が32、出力ポート数が32（以後 32×32 と記す）の大規模なスイッチを構成する例を示す。図1において、 $S1-1 \sim S1-4$ は 8×2 第1の単位スイッチである。 $T-1 \sim T-4$ は、同報セルを出力する複数の出線を定義した宛先ビットマップテーブルである。 $S2-1$ は 8×2 第2の単位スイッチである。尚、以下の実施例の中で第1の単位スイッチ $S1$ 、及び第2の単位スイッチ $S2$ の入線について、入線番号 i ($i=0, 1, 2, \dots$)の入線を入線 i と呼び、出線番号出線 i の出線を出線 i ($i=0, 1, 2, \dots$)と呼ぶ。第1の単位スイッチ $S1-1$ の入線は、それぞれ入力ポート#0～#7に接続される。同様に第1の単位スイッチ $S1-2, S1-3, S1-4$ は#8～#15、#16～#23、#24～#31にそれぞれ接続される。又、第1の単位スイッチ $S1-1$ の出線0と1は、それぞれ上から第2の単位スイッチ $S2-1$ の入線0と1に接続される。同様に他の第1の単位スイッチ $S1-2, S1-3, S1-4$ の出線0と1は、それぞれ第2の単位スイッチ $S2-1$ の入線2と3、4と5、6と7に接続される。第2の単位スイッチ $S2-1$ の2本の出線0と1は出力ポート#0と#1に接続される。又、第1の単位スイッチ $S1-1 \sim S1-4$ は、それぞれ宛先ビットマップテーブル $T-1 \sim T-4$ を備える。第1の単位スイッチ $S1-1$ は、入力ポート#0～#7に入力された同報セルのヘッダ情報から、宛先ビットマップテーブル $T-1$ を参照し、複数の宛先を判定する。宛先が2以上あれば同報セルのコピーを行い、宛先ビットマップテーブル $T-1$ に示された出線にセルを出力する。第2の単位スイッチ $S2-1$ は入線番号を用いて宛先を判定する。そのため、宛先ビットマップテーブルは不要である。

【0054】 $P-1 \sim P-16$ は多段接続部である。多段接続部 $P-1 \sim P-16$ は、第1の単位スイッチ $S1$ を4個と第2の単位スイッチ $S2$ を1個、集線形に多段接続した単位スイッチ群から構成される。多段接続部 P

−1〜P−16には入力ポート#0〜#31からの信号が、分岐して入力される。すなわち、多段接続部P−1と多段接続部P−2・・・P−16は、入力ポート#0〜#31から同一のセルが入力される。多段接続部P−1には出力ポート#0と#1が割り当てられ、多段接続部P−2には出力ポート#2と#3が割り当てられる。このように多段接続部Pは、32本の入力ポートと2本の出力ポート(32×2)を割り当てる。そして、16の多段接続部Pにそれぞれ2本ずつの異なる出力ポートを割り当てることにより、合計32本の出力ポートを備えることができる。以上のような構成により、8×2の単位スイッチを複数用い、32×32の大規模なスイッチを構成することが可能である。

【0055】図2は、第1の単位スイッチS1のブロック図である。図において従来例3と同じ番号の構成要素は、同じ働きを持つので説明は省略する。131はヘッダ処理回路である。ヘッダ処理回路131は、入線に到着したセルを保持しセルのヘッダ情報を読み出す。書き込みバッファ選択回路111は、ヘッダ処理回路131により読み出されたセルのヘッダ情報を受け取り、宛先ビットマップテーブルTを参照し宛先即ち出線番号を判定する。宛先がなければ、セルは廃棄され以後の処理は行わない。1以上の宛先がある場合、書き込みバッファ選択回路111は、セルを記憶するバッファメモリ11を選択し、セル書き込み回路13のスイッチング制御により、ヘッダ処理回路131とバッファメモリ11を接続する。

【0056】A1−0、A1−1は、アドレス待ち行列である。アドレス待ち行列A1は、出線に対応して設けられ、FIFOタイプのメモリによって構成される。アドレス待ち行列A1−0、A1−1は、出線0、1にそれぞれ対応する。出線0に出力されるセルが記憶されたバッファメモリ11のライトアドレス(アドレス)が、到着順に後述するアドレス交換回路120によって書き込まれる。ここで、同報先の出線が複数ある場合、該当セルのアドレスを出線に対応する複数アドレス待ち行列に書き込む。

【0057】アドレス交換回路120は、出線番号に対応するアドレス待ち行列A1に該当出線に出力するセルを記憶したバッファメモリ11のアドレスを書き込む。バッファメモリ11のアドレスは、バッファメモリ11に対応する記憶制御回路12により得る。出線番号は書き込みバッファ選択回路111から得る。同報処理手段105は、書き込みバッファ選択回路111、アドレス交換回路120、アドレス待ち行列A1、読み出しバッファ選択回路19、宛先ビットマップテーブルTからなる。

【0058】次に図3〜図5を用いて、第1の単位スイッチS1の動作を説明する。図3は第1の単位スイッチS1−1における動作例を示す図である。第1の単位ス

イッチS1−1の入線0〜7はそれぞれ入力ポート#0〜#7を割り当てる。出線0、1は第2の単位スイッチS2−1を介し、それぞれ出力ポート#0、#1に最終的に出力される。書き込みバッファ選択回路111は、同報セルのヘッダ情報から宛先ビットマップテーブルT−1により、出力すべき宛先を決定する。宛先ビットマップテーブルT−1〜T−4は同報セルのヘッダ情報の値に対し、複数の宛先出線を指示するビットマップ形式(各ビットがスイッチの出線に対応し、ビットの値が“0”ならばセル出力をせず、ビットの値が“1”ならばセル出力をするよう指定)による表現をとっている。

【0059】また、第1の単位スイッチS1−1が属する多段接続部P−0は、最終的な出力ポートとして、#0と#1が割り当てられているので、宛先ビットマップテーブルT−1は同報セルの同報先について、最終的に出力ポート#0、#1に出力するか否かに関する情報のみを持てばよい。そのため、宛先ビットマップテーブルT−1の大きさは、出力ポート#0〜#31すべてのデータを持つ必要がないので、宛先ビットマップテーブルT−1のための記憶容量を小さくする事が可能である。また、宛先ビットマップテーブルT−1の対象であるヘッダ情報は、入力ポート#0〜#7に入力される同報セルのヘッダ情報だけでよいので、入力ポート#0〜#31に入力される可能性のあるヘッダ情報を持つ必要はない。そのため、宛先ビットマップテーブルの大きさはすべての入力ポートを考慮する場合に較べて小さくてよい。また、宛先ビットマップテーブルT−1の大きさが小さいため、検索時間が短いという利点がある。また、宛先ビットマップテーブルTの大きさを小さくできるので、RAMに記憶させ第1の単位スイッチに内蔵することが可能となる。

【0060】ヘッダ情報aとbを持つ同報セルが、入力ポート#0と#5から入力された場合の第1の単位スイッチS1−1における動作について述べる。入力ポート#0即ち入線0につながるヘッダ処理回路131は、入力された同報セルのヘッダ情報を調べ、ヘッダ情報aを得、書き込みバッファ選択回路111に通知する。書き込みバッファ選択回路111は、宛先ビットマップテーブルT−1を参照し、出線1のビットが“1”であることより出線1を宛先と判定する。アドレス交換回路120は、書き込みバッファ選択回路111より、出線番号を得、また該当セルが書き込まれたバッファメモリ11のアドレスを記憶制御回路12より得る。アドレス交換回路120は、出線1に対応するアドレス待ち行列A1−1に該当アドレスを書き込む。

【0061】つぎに、入力ポート#5から入力された同報セルのヘッダ情報をヘッダ処理回路131は調べ、bを得る。書き込みバッファ選択回路111は、ヘッダ情報bから宛先ビットマップテーブルT−1を参照し、宛先が出線0と1であると判定する。アドレス交換回路1

20は、出線0と1に対応するアドレス待ち行列A1-0とA1-1にアドレスを書き込む。該当セルはバッファメモリ11に1セル記憶し、出線に対応する2つのアドレス待ち行列にそのアドレスを書き込む。これにより、使用するバッファメモリ11の使用量を減らし、かつ宛先出線の管理も行うことができる。読み出しバッファ選択回路19は、アドレス待ち行列A1-0、A1-1から順次FIFOでアドレスを読み出す。図3の場合、アドレス待ち行列A1-0からヘッダ情報がbのセル（以後セルbと呼ぶ）のアドレスを読み出し、該当バッファメモリ11に対応づけられた記憶制御回路12に送る。そして、セル読み出し回路14のスイッチングを制御し、該当バッファメモリ11からセルbを出線0に読み出す。次に、アドレス待ち行列A1-1のセルaについても同様の処理を行い、出線1に出力する。読み出しバッファ選択回路19は、再びアドレス待ち行列A1-0を読みに行くが、読み出すセルがないのでアイドルセルを出線0に出力する。次に、読み出しバッファ選択回路19は、再びアドレス待ち行列A1-1を読みに行き、セルbを出線1に出力する。このとき、セルbを記憶したバッファメモリ11のアドレスを解放する。使用したアドレスの解放タイミングについては、同報セルカウンタを用いる手法にて実現している（参考：特開平04-175034号広報）。

【0062】図4は第1の単位スイッチS1-3における動作例を示した図である。第1の単位スイッチS1-3は8本の入線にそれぞれ入力ポート#16～#23が接続されている。出線は0、1は第2の単位スイッチS2-1を介して出力ポート#0、#1に対応する。宛先ビットマップテーブルT-3は、宛先ビットマップテーブルT-1と同じ出力ポート#0、#1に対応するため、同じ値のテーブルであってもよい。しかし、対応する入力ポートが異なるため、宛先ビットマップテーブルT-1とT-3は、異なるヘッダ情報に対する表としてもよい。また、例えば図3と図4に示すように、同じヘッダ情報dに対する出線の値を変えてもよい。宛先ビットマップテーブルTを第1の単位スイッチS1ごとに、分割して持つようにしたため、宛先ビットマップテーブルTの大きさを小さくすることができるだけでなく、異なる値を与えることができる。また、宛先ビットマップテーブルTの部分的な変更もテーブルを分けて持つため、容易に行うことができる。

【0063】図4において、第1の単位スイッチS1-3に入力ポート#17、#20、#22から同報セルが入力されたとする。第1の単位スイッチS1-3は、入力された同報セルのヘッダ情報を調べ、ヘッダ情報がcの場合、宛先ビットマップテーブルT-3より宛先出線がないことを知り、入力されたセルを破棄する。また、宛先ビットマップテーブルT-3においてヘッダ情報cに関する宛先は0、0なので、ヘッダ情報cに関するデ

ータは省いてもよい。その場合、宛先ビットマップテーブルT-3にヘッダ情報cに関する情報が存在しないとして、入力されたセルを破棄するとしてもよい。しかし、この実施例では、後の変更を考慮して、ヘッダ情報cに関する情報を登録している。ヘッダ情報がbの同報セルは、宛先ビットマップテーブルT-3より出力すべき出線は0と1であること判定する。そして、セルbをバッファメモリ11に記憶し、そのアドレスを出線0、1に対応するアドレス待ち行列A1-0、A1-1に書き込む。ヘッダ情報がdであるセルについても同様に処理する。

【0064】図5は第1の単位スイッチS1-63における動作の例を示す図である。第1の単位スイッチS1-63には、上記S1-3と同じ入力ポート#16～#23のセルが入力される。また第1の単位スイッチS1-63は、多段接続部P-16に属するスイッチである。そのため第1の単位スイッチS1-63の出線0、1は、第2の単位スイッチS2-1を介して出力ポート#30と#31に対応する。宛先ビットマップテーブルT-63は、同報セルが最終的に出力ポート#30と#31に出力するか否かをビットマップ形式で指定している。第1の単位スイッチは、宛先ビットマップテーブルT-63を参照して入力された同報セルb、c、dの宛先を判定する。同報セルc、dは出線0に出力する。同報セルbは、出線1に出力する。

【0065】図6は、第2の単位スイッチS2のブロック図である。図2と異なる構成要素についてのみ述べる。ヘッダ処理回路132は、前段の単位スイッチから到着したセルを保持し、ヘッダ情報を調べ、アイドルセルか否かを判定する。アイドルセルの場合、以後処理はおこなはない。アイドルセルでなければ、入線番号を書き込みバッファ選択回路112に通知する。書き込みバッファ選択回路112は、通知された入線番号より出線番号を決定する。アドレス待ち行列A2は、アドレス待ち行列A1と同様である。

【0066】図7は第2の単位スイッチS2の動作を説明するための図である。第2の単位スイッチは入線番号を用いて宛先を判定する。そのため、宛先ビットマップテーブルTは不要である。図7に示した例では、第2の単位スイッチS2-1に到着したセルの宛先は、その入線番号を第2の単位スイッチの出線数で割った余りとしている。この場合、第2の単位スイッチS2-1の入線は8本あり、入線番号0～7とする。入線0と1は第1の単位スイッチS1-1に接続されている。入線2と3は第1の単位スイッチS1-2に、入線4と5は第1の単位スイッチS1-3に、入線6と7は第1の単位スイッチS1-4に接続されている。しかし、第1の単位スイッチの出線と第2の単位スイッチの入線の接続方法を変えれば、他の方法で第2の単位スイッチの出線を決定することができる。例えば、第1の単位スイッチS1-

1～S1-4の出線0を第2の単位スイッチの入線0～3に接続する。第1の単位スイッチS1-1～S1-4の出線1を第2の単位スイッチの入線4～7に接続する。この場合、入線の番号による出線の決め方は、第2の単位スイッチの入線0～3に到着するセルは出線0に出力し、入線4～7に到着するセルは出線1に出力するものとしてもよい。第2の単位スイッチS2-1の出線0、1は、出力ポート#0と#1に接続されている。アドレス待ち行列A2-0は出線0即ち出力ポート#0への出力待ちのセルのアドレスを貯えておく。アドレス待ち行列A2-1は出線1への出力待ちのセルのアドレスを貯えておく。

【0067】例えば入線2に到着したセルは、ヘッダ処理回路132でアイドルセルか否かが判定される。アイドルセルでなければ、入線番号2が書き込みバッファ選択回路112に通知される。書き込みバッファ選択回路112は、セルの入線番号2を出線数2で割った余り0を計算し、宛先出線を0であると決定する。書き込みバッファ選択回路112は、セル書き込み回路13のスイッチングによりヘッダ処理回路132とバッファメモリ11をつなぎ、該当セルをバッファメモリ11に記憶させる。アドレス交換回路120は、書き込みバッファ選択回路112から宛先出線の番号を通知され、また記憶制御回路12からセルが記憶されたバッファメモリ11のアドレスを通知される。アドレス交換回路120は、出線0に対応するアドレス待ち行列A2-0にアドレスを書き込む。一方、読み出しバッファ選択回路19は、アドレス待ち行列A2-0の先頭のアドレスから読み出し、記憶制御回路12に知らせる。そして、セル読み出し回路14のスイッチングを制御し、バッファメモリ11と出線0をつなぎ、該当アドレスのセルを出線0即ち出力ポート#0へ出力する。入線0、4、6に到着したセルに関しても同様の処理を経て、出線0に出力される。また、入線1、3、5、7に到着したセルは、出線1に出力される。

【0068】以上のように第2の単位スイッチS2では、入線番号により固定的なルーチング処理を行っており、宛先ビットマップテーブルTが不要な点が特徴である。このため、単位スイッチを多段構成したスイッチ全体で宛先ビットマップテーブルTの総量を減少させることができる。また、同一の出力ポートに対応するアドレス待ち行列A2に複数の出力すべきセルのアドレスを割り当てることにより、セル廃棄をなくしている点が特徴である。この実施例では、到着したセルの宛先をその入線番号を出線数で割った余りとしているが、先に述べたように他の方法で宛先を決定してもよい。尚、以上は多段接続部P-1における第2の単位スイッチS2-1を例として述べたが、他の他段接続部における第2の単位スイッチも同様の働きをする。他の多段接続部の場合、割り当てられる出力ポートがそれぞれ違っている点が異

なる。

【0069】従来例1の三段接続では、それぞれの段の各单位スイッチに宛先ビットマップテーブルを配置している。しかし、この実施例では一段目の第1の単位スイッチのみに宛先ビットマップテーブルを置く。第2の単位スイッチでは、到着したセルの宛先をその入線番号により固定的なルーチング処理を行っている点が特徴である。このため、第2の単位スイッチには宛先ビットマップテーブルが不要となる。そのため宛先ビットマップテーブルの総量を多段構成したスイッチ全体で縮小できる。しかも、単位スイッチ毎に宛先ビットマップテーブルを持つため、それぞれのテーブルで同じヘッダ情報に対し異なった宛先を指定することもできる。また、宛先ビットマップテーブルを単位スイッチ毎に取り換えることができるため、同報セルの宛先管理をより柔軟に行うことができる。このように、入線、出線数の小さな第1の単位スイッチを多数組み合わせることにより、大きな数の入力ポートにつなぐことができる。また、複数の単位スイッチにより構成された多段接続部を複数使い、それぞれに異なる出力ポートをわり当てることにより、大きな数の出力ポートをわりつけることができる。

【0070】優先制御は、各单位スイッチにおいて、多段構成としない単独の場合と同じように使える。

【0071】実施例2. この実施例では、 $m \times n$ の単位スイッチを二段接続し、 $M \times N$ の大規模なスイッチを構成する例を示す。

【0072】図8は、 $m \times n$ の単位スイッチを用い、2段接続による $M \times N$ スイッチの構成図である。図において、入力ポートの数は M 本である。第1の単位スイッチS1の入線は m 本、出線は n 本である。そのため、入力ポートの数 M をそれぞれ m 本づつ第1の単位スイッチS1-1～S1- M/m に接続する。第2の単位スイッチS2の入線は m 本、出線は n 本である。多段接続部Pは M 本の入力ポートと n 本の出力ポートをもつ。出力ポートの数は N 本である。多段接続部P-1～P- N/n は、出力ポート N 本を n 本づつ分担して接続する。第1の単位スイッチS1にはそれぞれ宛先ビットマップテーブルTが用意されている。第2の単位スイッチS2はその入線番号から到着したセルの宛先を求めるため、宛先ビットマップテーブルTは不要である。第1の単位スイッチS1と第2の単位スイッチS2の働きは、入線、出線の数が違うだけで、上記実施例と同様である。また、宛先ビットマップテーブルに関しても上記実施例と同様である。

【0073】ここで、第1の単位スイッチS1の数は M/m 個となるが、 M が m で割りきれない場合は、少数点以下切り上げとする。 M/m 個の第1の単位スイッチS1の出線 n 本づつが第2の単位スイッチS2の入線 m 本に接続されるため、 M, m, n の間には、 $m^2 = nM$

の関係が成り立つ。また多段接続部 P の数は N/n である。ここで、 N が n で割りきれない場合は、少数点以下切り上げるものとする。

【0074】図9は図8における第1の単位スイッチ $S1-1$ の動作例を示す図である。図9は、上記実施例図3における第1の単位スイッチ $S1-1$ とほぼ同様である。違いは入線の本数が8本から m 本になった点と、出線の本数が2本から n 本になった点である。入力されたセルのヘッダ情報 x, y により宛先ビットマップテーブル $T-1$ を参照し、どの出線に出力するか決定する。

【0075】図10は第2の単位スイッチにおける動作例を示した図である。第2の単位スイッチ $S2-1$ は、 m 本の入線を持ち、 n 本の出線を持つ。 m 本の入線のうち、入線 $0 \sim (n-1)$ までの n 本は、第1の単位スイッチ $S1-1$ の出線に接続されている。また、第2の単位スイッチ $S2-1$ の n 本の出線はそれぞれ出力ポート $\#0 \sim \#(n-1)$ に接続されている。上記実施例と同様第2の単位スイッチ $S2$ に到着したセルの宛先は、その入線番号を出線数 n で割った余りとしている。また、各出線に対応するアドレス待ち行列 $A2-0$ から $A2-(n-1)$ が設けられている。 $m \times n$ の単位スイッチを用いた $M \times N$ スイッチの動作に関しては、上記実施例と同様であるので説明は省略する。

【0076】実施例3. この実施例では第1及び第2の単位スイッチを3段接続して多段接続部 P を構成する例について説明する。図11は、 $m \times n$ 単位スイッチを3段用いた場合の $K \times L$ スイッチの構成図である。図において、入力ポートは K 本である。出力ポートは L 本である。三段構成の特徴は一段目のスイッチに第1の単位スイッチ $S1$ を用い、二段目以降にすべて第2の単位スイッチ $S2$ を用いることである。そのため、一段目の第1の単位スイッチ $S1$ にのみ宛先ビットマップテーブル T を備えればよい。二段目と三段目に用いる第2の単位スイッチ $S2$ は入線番号から出線を判定する。

【0077】図において、一段目と二段目の単位スイッチの組み合わせを囲んだ Q の部分は、図8に示した二段接続の多段接続部 P と同じ構成である。このように三段構成の集線形接続の場合、一段目と二段目の Q のように組み合わせられたスイッチ群が複数集まったものとなる。二段目の第2の単位スイッチの出線 n 本が複数集まり、三段目の第2の単位スイッチ $S2$ の入線 m 本に接続される。以上のように、三段構成の場合の多段接続部 P が構成される。多段接続部 P の数は L/n である。但し、 L/n の小数点以下は切り上げるものとする。それぞれの多段接続部 P にそれぞれ異なる出力ポートが割り当てられるため、 L 本の出力ポートに対応することができる。従来例1で述べて三段接続との違いは、一段目よりも二段目の単位スイッチの数が少なく、また二段目よりも三段目の単位スイッチの数が少ない点である。これは一段目に用いる第1の単位スイッチ $S1$ にのみ、同報セルの

宛先判定機能を持たせ、必要があればセルのコピーを行う。そして二段目以降で用いる第2の単位スイッチでは、入線番号からセルの宛先を判定できる点である。そのため、一段目で用いる第一の単位スイッチ $S1$ にのみ宛先ビットマップテーブル T を備えればよい。また、図11では三段構成であるが、さらに多くの段数にすることもできる。

【0078】次に3段構成の場合の入力ポート、出力ポートの数と2段構成の場合の比較をする。第1、第2の単位スイッチは、 $m=32$ 、 $n=8$ とし、第1の単位スイッチ $S1$ を4個用い、入出力ポート数 $M=N=128$ とする場合を基準とする。この2段構成を拡張して3段構成とした場合、

入出力ポート数 $K=L=512$

となる。一般に i 段構成とすると、入出力ポート数 $= 32 \times 4^{(i-1)}$ となる。このように、第1の単位スイッチ $S1$ 、第2の単位スイッチ $S2$ の集線形接続による基本構成をさらに組み合わせることにより、入力ポート、出力ポートの増加が容易である。即ち、今ある構成を損なうことなく、容易に拡張することができる。

【0079】以上のようにこの実施例では、第1および第2の単位スイッチを三段接続した場合を中心に多段構成の場合について述べた。一段目に第1の単位スイッチ $S1$ を用い、二段目以降に第2の単位スイッチ $S2$ を用いることにより、多数の入力ポート、出力ポートに対応できる。また、現在の構成を損なうことなく、入力ポート、出力ポートの増加に対し容易に拡張することができる。

【0080】実施例4. この実施例では、同報セルの宛先を識別するために同報呼番号を導入する一実施例について述べる。

【0081】図12は、入線群単位で同報呼番号を定義する場合における集線形接続による $M \times N$ スイッチの構成図である。図において、同報識別子割り当て手段 D は入力ポートを多段接続部 P に分岐する前段におかれている。同報識別子割り当て手段 D は入力されたセルが同報セルの場合、ヘッダ情報に基づき、同報呼番号を付与するものである。他の構成要素は、上記実施例図8で説明したものと同様であるので説明は省略する。また、従来例1では、装置全体で同報呼番号を導入し、宛先ビットマップテーブル量を削減することが示されていた。この考えをそのまま集線形接続に当てはめたのでは、宛先ビットマップテーブル T の効率が悪い。そこで、図12に示すように、第1の単位スイッチ $S1$ が収容する複数の入線を入線群とし、これを単位として同報呼番号を定義する。第1の単位スイッチ $S1$ では、特定入力ポートを対象とするので、装置全体で同報呼番号を定義するより入線群単位に同報呼番号を定義する方が、宛先ビットマップテーブル T の使用効率がよい。

【0082】同報識別子割り当て手段 D で付与する同報

呼番号は、図13に示すようにセルにエクストラヘッダとして付与する。あるいは、図14に示すように別線により与えてもよい。

【0083】図15は、第1の単位スイッチS1-1における動作例を示した図である。図において、入力ポート#0および#(m-2)に入力されたセルは同報セルであり、セルにエクストラヘッダが付与されている。ヘッダ処理回路131は、入力ポート#0に入力されたセルのエクストラヘッダを調べ同報呼番号Yを得る。書き込みバッファ選択回路111は、同報呼番号Yにより宛先ビットマップテーブルT-1を参照し、出線1と(n-1)が宛先であると判定する。入力ポート#(m-2)から入力された同報セルは、エクストラヘッダに付けられた同報呼番号Zに基づき、同様に宛先を知る。また、第1の単位スイッチS1から出力するときエクストラヘッダを除く。あるいは、他の情報を付加するためにエクストラヘッダを使用してもよい。

【0084】以上のようにこの実施例では、同報呼番号を導入する一実施例について述べた。同報呼番号を入力する時に、第1の単位スイッチS1が収容する複数の入力ポートを入線群とし、これを単位として同報呼番号を定義することを特徴とする。但し、入線群の割り付け方は複数の単位スイッチに対応する入力ポートを一つの入線群としてもよい。この場合同報識別子割り当て手段Dはこの複数の単位スイッチに対応する入力ポートに対応して持つ。以上のように複数の入力ポートを入線群に分割し、その入線群に対して同報呼番号を導入することにより、宛先ビットマップテーブルの使用効率がさらに良くなる。

【0085】実施例5. この実施例では、ヘッダ情報として、ヘッダ内のバーチャルバスアイデンティファイア/バーチャルチャネルアイデンティファイア(VPI/VC I)値を参照する例について述べる。

【0086】ヘッダ内のVPI/VC I値を直接参照する場合、上記実施例の同報識別子割り当て手段Dが不要になり、装置全体のハードウェア規模を小さくできる。このときの宛先ビットマップテーブルTの例を図16に示す。従来例1の場合、ヘッダ内のVPI/VC I値を直接参照することが出来ない。なぜならば、VPI/VC I値は入線単位に定義されているため、異なる入線で、同じVPI/VC Iの値が使用される可能性がある。そのため、従来例1において二段目スイッチおよび三段目スイッチは、VPI/VC Iのみだと、どの入線から到着したセルか判定できないので、宛先ビットマップテーブルTを判定するとき、入線情報も付加しなければならないからである。しかし、上記実施例で示したデータ交換装置では、第1の単位スイッチS1のみが、宛先ビットマップテーブルTを参照する。また、第1の単位スイッチS1は入力ポートに接続されている。そのため、第1の単位スイッチS1でVPI/VC I値と入力

ポート番号から、宛先ビットマップテーブルTを参照し、出線を決定することができる。

【0087】実施例6. この実施例は、宛先ビットマップテーブルTの容量を、従来例1の三段接続の場合と、上記実施例で説明した集線形接続の場合について比較する。そのため、それぞれの場合について容量を算出し、次に両者の比較を行う。

【0088】比較を行うための前提条件を図17、図18にあげる。図17は共通となる前提条件である。図18はパラメータである。

【0089】1. 従来例1の三段接続における宛先ビットマップテーブル量を計算する。ここでは、三段接続ができる条件として、 $t^2 \geq M$ を仮定する。

(1) 1段目の宛先ビットマップテーブル容量

(1段目の宛先ビットマップテーブル容量)

$$= c t (\text{行}) \times t (\text{列}) \times (M/t)$$

$$= c t M (\text{bits})$$

(2) 2段目の宛先ビットマップテーブル容量

(2段目の宛先ビットマップテーブル容量)

$$20 \quad = c M (\text{行}) \times t (\text{列}) \times (M/t)$$

$$= c M^2 (\text{bits})$$

(3) 3段目の宛先ビットマップテーブル容量

(3段目の宛先ビットマップテーブル容量)

$$= c M (\text{行}) \times t (\text{列}) \times (M/t)$$

$$= c M^2 (\text{bits})$$

(4) 以上より、三段接続したスイッチ全体では、

(全スイッチ網の宛先ビットマップテーブル容量の合計)

$$= c (t M + 2 M^2) (\text{bits})$$

30 【0090】2. 集線形接続における宛先ビットマップテーブル量

集線形接続においては、スイッチ全体の入力ポート数Mと、単位スイッチの入線数m、出線数n、段数kとの間に、以下の関係がある。

$$M \leq m \times (m/n)^{(k-1)}$$

先に述べたように、1段目の宛先ビットマップテーブル容量が全体の容量となる。

(全スイッチ網の宛先ビットマップテーブル容量の合計)

$$40 \quad = c m (\text{行}) \times n (\text{列}) \times (M/m) \times (M/n)$$

$$= c M^2 (\text{bits})$$

【0091】3. 比較

いま計算を簡単にするため、全体の入力ポート数Mは単位スイッチの入線数tおよびmで割り切れる場合を考える。また、集線形接続をした時に、ちょうどピラミッドが組める場合、すなわち、段数をkとしたとき、

$$M = m \times (m/n)^{(k-1)}$$

という関係が成立する場合について検討する。図19が宛先ビットマップテーブルの計算値を比較した図であ

50 る。ここで、 $M = m \times (m/n)^{(k-1)}$ の場合、全体の

宛先ビットマップテーブルの両者の比Rは、

$$R = (\text{集線形接続} / \text{従来の三段接続}) \\ = (c m^2 (m/n)^{(2k-2)}) / (c (t m (m/n)^{(k-1)} + 2 m^2 (m/n)^{(2k-2)})) = 1 / ((t/m) (n/m)^{(k-1)} + 2)$$

となる。ここで、tやm、nの関係が問題となるが、集線形スイッチの場合 $m > n$ である。また、三段接続の場合、正方形スイッチとなるが、一般にはATMスイッチを作る場合、その入線数+出線数によるI/Oピンネックや、待ち行列をつくる困難より出線数の制約が考えられる。そこで、今回は、 $m \geq t \geq n$ とし、定量評価を行う。いま、 $k \geq 2$ 、 $m > n$ 、 $m \geq t \geq n$ とすると、Rの範囲は、 $0 < n/m < 1$ の範囲で、 $k = 2$ のとき図20に、 $k = 3$ のとき図21に示す。しかし、t、n、m、cの値によらず、 $1/2 > R > 1/3$ となる。すなわち、集線形接続における宛先ビットマップテーブルの容量は、従来の三段接続に比べ $1/3 \sim 1/2$ 倍になるという削減効果をもたらす。

【0092】以上のように、この実施例では、集線形多段構成における同報機能について、その宛先ビットマップテーブルの容量を、従来の三段接続と比較して検討した。同じ大規模スイッチを構成し、入力ポートあたり同じ本数の同報呼数を実現する場合を考える。スイッチ規模や単位スイッチの大きさによらず、集線形多段構成では従来の三段接続と比較し、総宛先ビットマップテーブル量は $1/3 \sim 1/2$ になるという削減効果をもたらす。

【0093】実施例7. 上記実施例では、第1の単位スイッチと第2の単位スイッチの入線数が同じ場合について述べた。しかし、第1の単位スイッチと第2の単位スイッチの入線数が異なる場合でも、上記実施例で述べた集線形接続により大規模なスイッチを構成することが可能である。例えば、 32×8 の第1の単位スイッチを3個1段目に用いる場合、2段目には 24×8 の第2の単位スイッチを使用する。また、 32×8 の第1の単位スイッチを7個1段目に用いる場合は、2段目に 56×8 の第2の単位スイッチを使用する。どちらの場合も、第1の単位スイッチと第2の単位スイッチの出線数は等しいので、第2の単位スイッチにおけるセルの宛先は、入線番号を出線数で割った余りで決定する。あるいは、入線番号に基づく他の方法で求めても良い。

【0094】また、2段以上の集線形接続の場合、2段目以降で異なる入線数を持つ第2の単位スイッチを使用してもよい。

【0095】実施例8. この実施例は、出力ポートの後段に複数本の低速インタフェースを収容するシステムの一実施例について述べる。

【0096】図22は、低速インタフェース対応の2段接続による 16×32 スイッチの構成図である。本実施例では共通のタイミングで動作させるため、共通の低速

インタフェース識別タイミングを用いる例を示す。ATMスイッチの動作速度は 622 Mb/s であり、低速インタフェースは 156 Mb/s である。低速インタフェース以外の入力ポートは 622 Mb/s の速さである。入力側に低速インタフェースが接続されていたとしても、多重回路により 622 Mb/s の速さの入力ポートとして扱うことができるため、入力側に低速インタフェースが存在するか否かは考えなくてよい。入力ポート数は#0～#15の16本である。出力ポート数は#0～#31まで32本である。出力ポート#0の先には、セル分離回路100を介して低速インタフェース#0～#0-3が4本接続されている。多段接続部はP-1～P-16まで16ある。それぞれの多段接続部Pにおいて、 8×2 の第1の単位スイッチ2個と、 4×2 の第2の単位スイッチ1個を用い、2段接続による集線形接続を行っている。宛先ビットマップテーブルは、第1の単位スイッチSL1に備えられている。タイミング発生手段101は第1の単位スイッチSL1、第2の単位スイッチSL2とセル分離回路100に共通の低速インタフェース識別タイミングを供給する。第1の単位スイッチSL1と第2の単位スイッチSL2の出力ポート#0に対応する出線0には、アドレス待ち行列が低速インタフェース4本それぞれに対応して4つ備える。図22は出力ポート#0に低速インタフェースが接続されている場合であるが、出力ポート#0以外のどの出力ポートに低速インタフェースが接続されていても同様である。

【0097】図23は、第1の単位スイッチSL1（低速インタフェース対応）のブロック図である。低速インタフェース対応の第1の単位スイッチSL1と、図2で述べた第1の単位スイッチS1の違いは、以下の2点である。低速インタフェース#0～#0-3にそれぞれ対応して、アドレス待ち行列A1-00～A1-03が備えられている。また、読み出しバッファ選択回路151とアドレス待ち行列A1-00～A1-03の間にセレクト160が備えられている。読み出しバッファ選択回路151はアドレス待ち行列A1を参照してバッファメモリ11から読み出すセルを決定し、該当するアドレスをリードアドレスとしてバッファメモリ11に対応づけられた記憶制御回路12に送る。そして、セル読み出し回路14のスイッチングを制御し、バッファメモリ11を出力しようとしている出線に接続する。以上は、上述の読み出しバッファ選択回路19と同じであるが、読み出しバッファ選択回路151は、低速インタフェースに対応しているアドレス待ち行列A1-00～A1-03を直接参照することではなく、セレクト160を介してアドレスを得る点が異なる。セレクト160は、低速インタフェースに対応した4つのアドレス待ち行列A1-00～A1-03の中から、1つのアドレス待ち行列を選び、読み出したアドレスを読み出しバッファ選択回路151に送る。

【0098】図24に各出線のタイミングチャートを示す。(イ)は低速インタフェース識別タイミングである。(ロ)は図22第1の単位スイッチSL1-1の出線0におけるセルの出力タイミングを示す。出線0では低速インタフェース識別タイミングが“High”の時、低速インタフェース#0-0宛のセルが出力される。このようにセクタ160は低速インタフェース識別タイミングが“High”の時に必ず低速インタフェース#0-0に対応するアドレス待ち行列A1-00からアドレスを読み出す。

【0099】図25は第1の単位スイッチ(低速インタフェース対応)SL1-1の動作例を示す図である。第1の単位スイッチSL1-1において、入線0~7は入力ポート#0~7に接続される。出線0、1は第2の単位スイッチSL2-1の入線0、1に接続される。出線0は、第2の単位スイッチSL2-1を介して低速インタフェースにつながる。セクタ160に、低速インタフェース識別タイミングが供給される。宛先ビットマップテーブルT-1はヘッダ情報に対応する宛先として、低速インタフェース#0-0~#0-3と出線1を持つ。このように宛先ビットマップテーブルT-1に低速インタフェース#0-0~#0-3に対応する情報を持つことにより、アドレス待ち行列A1-00~A1-03のどこにアドレスを記憶させればよいか判定することができる。

【0100】次に、入力ポート#1に同報セルaと入力ポート#5に同報セルbが入力する場合を例にとり説明する。ただし、従来例と同様の動作については説明を省略する。書き込みバッファ選択回路111は、ヘッダ情報を基に宛先ビットマップテーブルT-1を参照し宛先を判定する。同報セルaの宛先は低速インタフェース#0-0と#0-1と出線1であると判定する。アドレス交換回路120は、セルaが記憶されたバッファメモリ11のアドレスをアドレス待ち行列A1-00とA1-01とA1-1に書く。次に、入力ポート#5に到着した同報セルbについて、同様に宛先ビットマップT-1から同報先、低速インタフェース#0-0と#0-2と#0-3と出線1を得、アドレスをアドレス待ち行列A1-00、A1-02、A1-03、A1-1に書く。

【0101】出線に出力する際の動作について説明する。

(1)読み出しバッファ選択回路151は、セクタ160に制御を移す。この時、低速インタフェース識別タイミングが“High”とする。セクタ160は、低速インタフェース識別タイミングが“High”であるので、アドレス待ち行列A1-00からセルaが記憶されているバッファメモリ11のアドレスを読み出し、読み出しバッファ選択回路151に渡す。セクタ160はアドレス待ち行列A1-00からアドレスを読み出した後に、カウンタを+1することにより次に読み出すバ

きアドレス待ち行列の位置をセットする。読み出しバッファ選択回路151は、受け取ったアドレスを記憶制御回路12に送り、セル読み出し回路14のスイッチングを制御して該当するバッファメモリ11を出線0に接続し、セルaを出力する。

(2)読み出しバッファ選択回路151は、アドレス待ち行列A1-1からセルaのアドレスを読み出し記憶制御回路12に送る。また、セル読み出し回路14のスイッチングを制御して該当するバッファメモリを出線1に接続する。

(3)読み出しバッファ選択回路151は、セクタ160に制御を移す。セクタ160は、カウンタの値から次に読み出すアドレス待ち行列は、アドレス待ち行列A1-01であると知り、セルaのアドレスを読み出す。上述と同じようにして、低速インタフェース#0-1宛のセルaが出線0に出力される。

(4)読み出しバッファ選択回路151はアドレス待ち行列A1-1からセルbのアドレスを知り、同様にして出線1にセルbを出力する。

(5)同様の操作を繰り返し、次に出線0に低速インタフェース#0-2宛のセルbが出線0に出力される。

(6)アドレス待ち行列A1-1にアドレスが記憶されていないので、出線1にアイドルセルを出力する。

【0102】このように、出線0には低速インタフェース#0-0~#0-3宛のセルが出力される。セクタ160により4つのアドレス待ち行列A1-00~A1-03の中の一つが選ばれるため、同一の低速インタフェース宛のセルは出線1に出力されるセル数の4分の1となる。そのため、セル分離回路でのバッファ溢れによる、セル廃棄をなくすることができる。

【0103】図26は、第2の単位スイッチSL2(低速インタフェース対応)のブロック図である。低速インタフェース対応の第2の単位スイッチSL2と、上記実施例で説明した第2の単位スイッチS2との違いは以下の3点である。アドレス待ち行列A2-00~A2-03が、低速インタフェース#0-0~#0-3に対応して備えられている。セクタ160が、アドレス待ち行列A2-00~A2-03と読み出しバッファ選択回路151との間に備えられている。また振り分け回路170が、アドレス交換回路120とアドレス待ち行列A2-00~A2-03の間に備えられている。

【0104】振り分け回路170とセクタ160に、第1の単位スイッチSL1のセクタ160に供給されたものと同じ低速インタフェース識別タイミングが供給される。振り分け回路170は、低速インタフェース識別タイミングを参照し、アドレス待ち行列A2-00~A2-03にセルを振り分ける。セクタ160は低速インタフェース識別タイミングにより、第1の単位スイッチSL1と同様にセルを送出する。図24(ハ)は、第2の単位スイッチSL2-1の出線0におけるセルの送

出タイミングを示す。(ロ)および(ハ)において、低速インタフェース識別タイミングが“High”の時、低速インタフェース#0-0宛のセルが出力される。すなわち、1段目の出線0(ロ)および2段目の出線0(ハ)は同じタイミングで動作する。

【0105】図27により、第2の単位スイッチ(低速インタフェース対応)SL2-1における動作例を説明する。ヘッダ処理回路132において、ヘッダ情報を調べ、到着したセルがアイドルセルであるか否か判定する。アイドルセルでなければ書き込みバッファ選択回路112に入線番号を知らせる。書き込みバッファ選択回路112が入線番号によりセルの出線番号を決定する。上記実施例と同様にセルの到着した入線番号を第2の単位スイッチの出線数で割った余りから出線の番号を求める。しかし、他の方法で求めても良い。第2の単位スイッチSL2-1は入線数が4本である。そのため、入線0と入線2は出線0に、入線1と入線3に到着したセルは出線1に出力される。入線0にセルa, a, b, b, bが到着する。入線1にセルa, bが到着する。入線2にセルe, f, g, g, gが到着する。入線3にセルf, g, h, i, jが到着する。入線0と入線2に到着したセルa, eのアドレスがアドレス交換回路120を介して振り分け回路170に渡される。この時、低速インタフェース識別タイミングが“High”とする。振り分け回路170は低速インタフェース識別タイミングが“High”であることよりアドレス待ち行列A2-00にセルaとeのアドレスを書き込む。そして、カウンタを+1し、次に書き込むべきアドレス待ち行列の位置をセットする。

【0106】また、入線1と入線3に到着したセルa、セルfはアドレス交換回路120によりアドレス待ち行列A2-1にアドレスを書き込まれる。次に、入線0と入線2に到着したセルa, fは、アドレス交換回路120を介して振り分け回路170にアドレスが渡される。振り分け回路170ではカウンタを調べることによりアドレス待ち行列A2-01にセルa、セルfのアドレスを書き込む。このように、アドレス待ち行列A2にアドレスが書かれていく。入線数が4本なので振り分け回路170は、ひとつのアドレス待ち行列A2に一度に2個ずつセルのアドレスを書き込む。もし入線数が8本ならば振り分け回路170は一度に4つのセルのアドレスをひとつのアドレス待ち行列A2に書き込む。振り分け回路170はタイムスロットの(入線数÷出線数)倍の速度で動くため、振り分け回路170はバッファを必要としない。

【0107】アドレス交換回路120は、振り分け回路170にアドレスを通知すると同時に、アドレス待ち行列A2-1にアドレスを書き込むことができる。あるいは、交互に行ってもよい。第2の単位スイッチSL2-1におけるセレクト160の働きは、第1の単位スイ

ッチSL1-1において説明したものと同様である。

【0108】低速インタフェースに対応するアドレス待ち行列A2-00~A2-03は、振り分け回路170により低速インタフェース識別タイミングを参照し、アドレスが書かれる。そのため、第1の単位スイッチSL1のアドレス待ち行列A1-00に書かれていたセルのアドレスは、第2の単位スイッチSL2-1においても、同じ低速インタフェース#0-0に対応するアドレス待ち行列A2-00に書かれる。このように、低速インタフェース識別タイミングを全ての単位スイッチに供給し、セレクト160と振り分け回路170で参照することにより、第1の単位スイッチのあるアドレス待ち行列に記憶されていたセルが、第2の単位スイッチの同じ低速インタフェースに対応するアドレス待ち行列に記憶される。また、第2の単位スイッチSL2におけるセレクト160は、低速インタフェース識別タイミングにより順番にアドレス待ち行列を選ぶ。これにより、セルの宛先に対応する低速インタフェース#0-0~#0-3にセルを出力することができる。第1、第2の単位スイッチにセレクトを備えることにより、通常の出線に対応する待ち行列からの出力に比べ、低速インタフェース毎に記憶されている複数の待ち行列から出力されるデータの回数は少なくなっている。そのため分離回路におけるバッファ溢れによるセル廃棄をなくすることができる。なお、セル分離回路100においても、図24(二)~(ト)に示すように低速インタフェース識別タイミングにより、各低速インタフェース#0-0~#0-3にセルを送出している。

【0109】このように、低速インタフェースに対応するアドレス待ち行列を第1の単位スイッチおよび第2の単位スイッチに持たせ、また、セレクト、振り分け回路およびセル分離回路に同じ低速インタフェース識別タイミングを与えることにより、第1、第2の単位スイッチを多段構成にしても所望の低速インタフェースにセルを送出することができる。なお、2段以上の構成の場合も同様である。

【0110】以上のようにこの実施例では、低速インタフェースを入力ポートまたは出力ポートに接続可能なセル交換装置について述べた。このセル交換装置は、複数の第1、第2の単位スイッチからなる。第1の単位スイッチがセルのコピーや宛先振り分けを行う。第1、第2の単位スイッチは低速インタフェース識別タイミングに同期して動作する。第2の単位スイッチは入力したセルに対し、その入線番号および低速インタフェース識別タイミングにより宛先出線すなわち宛先低速インタフェースを判定するので、第2の単位スイッチにおいて同報セルの宛先ビットマップテーブルが不要である。このような第1、第2の単位スイッチを2段以上集線形に接続することにより、大規模な交換ができるセル交換装置が得られる。また、複数入力ポートから入力した複数のセル

をセル交換装置にて交換を行い前記セルを出力ポートに出力するとき、セル分離回路でのバッファ溢れによるセル廃棄をなくすることができる。そのため、ATMスイッチからセル分離回路へセルを出力するとき、個々の低速インタフェースの容量を超えないようにすることができる。また、セル到着の時間的な変動を第1、第2の単位スイッチのバッファメモリで吸収することで、第1、第2の単位スイッチ内のバッファメモリを各低速インタフェース間で共有化して使用し、バッファ使用効率を高め、システム全体で少ない総バッファ量で低廃棄率実現可能になった。

【0111】実施例9. 図28は、低速インタフェース対応の第1、第2の単位スイッチ($m \times n$)を用いた $M \times N$ スイッチの構成図である。上記実施例と同様な低速インタフェース対応の第1、第2の単位スイッチを複数個用い、任意の規模のセル交換装置を構築することができる。なお、低速インタフェースの数は任意である。また、低速インタフェースにつながる出力ポートは出力ポート*i*に限らず何本あっても良い。

【0112】実施例10. この実施例は、高速インタフェースを収容するシステムの一実施例について述べる。

【0113】図29は、高速インタフェース対応の構成図である。図は多段接続部P-1のみを図示してある。出力ポート#0~#4の後段にセル多重回路180を介して高速インタフェースが1本接続されている。また、大規模化のため、第1、第2の単位スイッチが2段接続されている。第1の単位スイッチSH1-1、SH1-2と第2の単位スイッチSH2-1は共に16本の入線と8本の出線を持つ。第1、第2の単位スイッチの特徴は高速インタフェースに対応する複数の出線に対し、1つのアドレス待ち行列を備えることである。入力ポート側に高速インタフェースがセル分離回路を介して接続されている場合を考えるとセルの到着順序を保存する必要がある。そのため、第1、第2の単位スイッチにおいて同時にセルが到着した場合、入線0から入線15の順にセルの処理を行うものとする。

【0114】図30は第1の単位スイッチ(高速インタフェース対応)SH1のブロック図である。第1の単位スイッチ(高速インタフェース対応)SH1の特徴は、複数の出線に対し、1つのアドレス待ち行列A1-Hを持つ点である。複数の出線は、高速インタフェースにセル多重回路180を介して接続される出力ポートに対応した出線である。アドレス待ち行列A1-Hと読み出しバッファ選択回路152の間に分配回路190を備える。分配回路190は、アドレス待ち行列A1-Hに記憶されたアドレスの先頭から順にアドレスを該当する複数出線の数づつ1度に読み出す。分配回路190により読み出されたアドレスは、読み出しバッファ選択回路152に渡される。

【0115】図31は、第2の単位スイッチ(高速イン

タフェース対応)SH2のブロック図である。複数出線に対応するアドレス待ち行列A2-Hを備え、分配回路190を備える。アドレス待ち行列A2-Hと分配回路190の働きは図30と同様である。

【0116】図32を用いて、1段目の第1の単位スイッチの動作を説明する。図において"イ"~"チ"はセルを表し、待ち行列に入力されてから出力されるまでの流れを示す。第1の単位スイッチSH1において、高速インタフェースに対応する4本の出線0~3に対し一つのアドレス待ち行列A1-Hが与えられている。第1の単位スイッチSH1-1において、高速インタフェースを収容するアドレス待ち行列A1-H中に、セルは、先頭から"イ"、"ロ"、"ハ"、"ニ"の順で並んでいる。入力ポート4本にセル分離回路を介して高速インタフェースが接続される可能性もある。そのため出力先の高速インタフェース上のセルの順序関係を保存するため、分離回路190によりアドレス待ち行列A1-Hから"イ"、"ロ"、"ハ"、"ニ"のアドレスを4つ一度に読み出す。読み出された"イ"、"ロ"、"ハ"、"ニ"のアドレスは、読み出しバッファ選択回路152に渡され、読み出しバッファ選択回路152はバッファメモリ11に記憶されたセル"イ"を出線0に、"ロ"を出線1に、"ハ"を出線2に、"ニ"を出線3に出力させる。4本の出線上を同時に送出される4セルについて、あらかじめ出線0上がもっとも時間的に先に送出するセルとし、以下順に、出線1、2、3の順とする。第1の単位スイッチSH1-2のセル"ホ"~"チ"に関しても同様である。

【0117】図33を用い、第2の単位スイッチSH2の動作について説明する。第2の単位スイッチSH2は、高速インタフェースに対応する4本の出線0~3に対して、一つのアドレス待ち行列A2-Hを備える。第2の単位スイッチSH2-1は、16本の入線を備え、入線番号から出線を決定する。書き込みバッファ選択回路112は上記実施例と同様に到着したセルの入線番号を出線数で割った余りを宛先出線番号としている。しかし、他の方法でも良い。入線番号を出線数で割った余りを宛先出線とすると、アドレス待ち行列A2-Hに出線0~3が対応するため、入線0、1、2、3、8、9、10、11に到着したセルを書き込むことになる。アドレス交換回路120は書き込みバッファ選択回路112から宛先を受け取り、宛先が出線0~3の場合にアドレス待ち行列A2-Hに書き込む。宛先が4の場合はアドレス待ち行列A2-4に書き込む。・・・宛先が7の場合はアドレス待ち行列A2-7に書き込む。

【0118】ここで、入線0、1、2、3間および入線8、9、10、11間のセルの順序逆転がないようにしなければならない。そのため、アドレス交換回路120は入線番号の若い順、すなわち宛先の小さい順に、アドレスをアドレス待ち行列A2-Hに書き込む。アドレス

待ち行列に書き込まれるセルの順番は、セル”イ”、”ロ”、”ハ”、”ニ”、”ホ”、”ヘ”、”ト”、”チ”の順になる。しかし、例えば”イ”、”ホ”、”ロ”、”ヘ”、”ハ”、”ト”、”ニ”、”チ”となっても、入線 0, 1, 2, 3 間および入線 8, 9, 10, 11 間でのセルの順序逆転は起こらないので、可能ではある。アドレス待ち行列 A2-H からセル”イ”、”ロ”、”ハ”、”ニ”のアドレスが分配回路 190 により一度に読み出され、読み出しバッファ選択回路 152 に渡される。読み出しバッファ選択回路 152 は、渡されたアドレスをもとにバッファメモリ 11 からセル”イ”を出線 0 に、セル”ロ”を出線 1 に、・・・セル”ニ”を出線 3 に出力させる。セル”ホ”、”ヘ”、”ト”、”チ”に関しても同様の処理が行われる。そして、後段のセル多重回路 180 により、高速インタフェースにセル”イ”、”ロ”・・・”チ”の順で送信される。なお、第 1、第 2 の単位スイッチを 2 段以上接続する場合も同様である。

【0119】以上のようにこの実施例では、高速インタフェースを入力ポートまたは出力ポートに接続可能なセル交換装置について述べた。このセル交換装置は複数の第 1、第 2 の単位スイッチからなる。第 1 の単位スイッチがセルのコピーや宛先の振り分けを行う。第 2 の単位スイッチは到着したセルに対し、その入線番号より宛先出線を判定する。高速インタフェースに対応する複数の入線には、あらかじめ定められた順序関係を保存して、一つの待ち行列に到着セルを書き込む。このような、第 1、第 2 の単位スイッチを 2 段以上集線形に接続することにより、大規模な交換ができるセル交換装置が得られる。また、複数入線から入力した複数のセルを第 1、第 2 の単位スイッチにて交換を行い前記セルを出線に出力するときに、複数の入線および出線に固定的に優先順位をつけて処理し、同時に到着したセルの順序を保存する。また、これら複数の出線を一つの待ち行列で管理することで、高速なインタフェースを収容することが可能となった。

【0120】実施例 11. 図 34 は、第 1 の単位スイッチ S1 に入線 32、出線 8 を用い、第 2 の単位スイッチ S2 に入線 16、出線 4 を用いた場合の 128×32 スイッチの構成図である。上述の実施例では、多段接続部 P に 128×8 を実現するために、第 2 の単位スイッチ S2 に 32×8 を用いていた。しかし、図のように第 2 の単位スイッチ S2 に 16×4 を 2 個使用しても同じ機能が実現できる。この場合、全ての第 1 の単位スイッチ S1-1~S1-4 の出線 0~3 を、第 2 の単位スイッチ S2-1 に接続する。全ての第 1 の単位スイッチ S1-1~S1-4 の出線 4~7 を、第 2 の単位スイッチ S2-2 に接続する。このように、第 1 の単位スイッチ S1 および第 2 の単位スイッチ S2 の入線数、出線数は異なるものであってもよい。また、第 1、第 2 の単位スイ

ッチは、低速インタフェース対応、高速インタフェース対応の場合も同様である。

【0121】実施例 12. 図 35 を用いて、宛先ビットマップテーブルを共有化する場合について説明する。第 1 の単位スイッチ S1-1 と S1-2 は宛先ビットマップテーブル T-1 を共有して使う。第 1 の単位スイッチ S1-3 と S1-4 は宛先ビットマップテーブル T-2 を共有する。このように、複数の第 1 の単位スイッチの間で、宛先ビットマップテーブルを共有化して使用することができる。あるいは、全ての第 1 の単位スイッチで 1 つの宛先ビットマップテーブルを共有してもよい。また、第 1、第 2 の単位スイッチは、低速インタフェース対応、高速インタフェース対応の場合も同様である。

【0122】実施例 13. 以上の実施例において、セルが入力される ATM スイッチについて述べたが、同報セルを同報データとすれば、一般のデータ通信に用いるデータ交換装置に関しても同様のスイッチを提供することができる。

【0123】

20 【発明の効果】第 1 の発明によれば、入線、出線数の少ない複数の単位スイッチを多段構成することにより、データ交換装置に接続できる入力ポート数を増やすことができる。

【0124】第 2 の発明によれば、データ交換装置に接続できる出力ポート数を増やすことができる。

【0125】第 3 の発明によれば、第 1 の単位スイッチはテーブルにより同報データの出力すべき出線を知ることができる。また、テーブルの交換により容易に各同報データの出力先を替えることができる。

30 【0126】第 4 の発明によれば、第 2 の単位スイッチは、入力されたデータの宛先を知るためのテーブルが不要である。そのため、データ交換装置として持つテーブルの量を削減できる。

【0127】第 5 の発明によれば、セルのバーチャルパスアイデンティファイアとバーチャルチャネルアイデンティファイアによりセルの交換を行うことができる。

40 【0128】第 6 の発明によれば、宛先を決定するテーブルの大きさを小さくでき、効率よく宛先を検索できる。また、テーブルの大きさが小さいため、テーブルを RAM に記憶させる事ができ、第 1 の単位スイッチに内蔵することができる。また、テーブルを分けて持つためテーブルの変更が容易である。

【0129】第 7 の発明によれば、複数の単位スイッチが 1 つのテーブルを共有することができるので、一括管理ができる。

【0130】第 8 の発明によれば、同報識別子により出線を決めることができる。また、同報識別子を用いるため、テーブルの大きさを小さくできる。

50 【0131】第 9 の発明によれば、同報識別子を一部の入力ポートを対象として定義すればよいので、同報識別

子の割り当てが容易になる。

【0132】第10の発明によれば、低速インタフェースを収容した場合にも適用できる。

【0133】第11の発明によれば、各低速インタフェース宛のデータを確実に宛先の低速インタフェースに出力でき、しかも分離回路でのバッファ溢れによるセル廃棄をなくすることができる。また、セルの到着の時間的な変動を第1、第2の単位スイッチで吸収することができる。

【0134】第12の発明によれば、高速インタフェースを収容した場合にも適用できる。

【0135】第13の発明によれば、データの順序関係を保存して出力ポート側の高速インタフェースに出力することができる。

【図面の簡単な説明】

【図1】 2段接続による 32×32 スイッチの構成図。

【図2】 第1の単位スイッチのブロック図。

【図3】 第1の単位スイッチ $S1-1$ における動作例を示す図。

【図4】 第1の単位スイッチ $S1-3$ における動作例を示す図。

【図5】 第1の単位スイッチ $S1-63$ における動作例を示す図。

【図6】 第2の単位スイッチのブロック図。

【図7】 第2の単位スイッチにおける動作例を示す図。

【図8】 2段接続による $M \times N$ スイッチの構成図。

【図9】 $M \times N$ スイッチの第1の単位スイッチ $S1-1$ における動作例を示す図。

【図10】 $M \times N$ スイッチの第2の単位スイッチ $S2-1$ における動作例を示す図。

【図11】 $m \times n$ の単位スイッチを3段用いた場合の集線形接続による $K \times L$ スイッチの構成図。

【図12】 入線群単位で同報号番号を定義した場合の集線形接続による $M \times N$ スイッチの構成図。

【図13】 同報号番号をエクストラヘッダに付与する例を示す図。

【図14】 同報号番号を別線でスイッチに付与する例を示す図。

【図15】 同報号番号を使用した場合の第1の単位スイッチにおける動作例を示した図。

【図16】 入力ポート毎に直接VPI, VCI値を参照する場合の宛先ビットマップテーブルの例を示す図。

【図17】 比較のための共通項目を示す図。

【図18】 各々のパラメータを示す図。

【図19】 宛先ビットマップテーブルの量を比較した図。

【図20】 宛先ビットマップテーブルの容量の比率Rの範囲($k=2$)を示した図。

【図21】 宛先ビットマップテーブルの容量の比率Rの範囲($K=3$)を示した図。

【図22】 低速インタフェース対応の集線形接続の構成図。

【図23】 第1の単位スイッチ(低速インタフェース対応)のブロック図。

【図24】 各出線のタイミングチャートを示す図。

【図25】 第1の単位スイッチ $SL1-1$ の動作例を示す図。

【図26】 第2の単位スイッチ(低速インタフェース対応)のブロック図。

【図27】 第2の単位スイッチ $SL2-1$ の動作例を示す図。

【図28】 低速インタフェース対応の $M \times N$ スイッチの構成図。

【図29】 高速インタフェース対応の集線形接続の構成図。

【図30】 第1の単位スイッチ(高速インタフェース対応)のブロック図。

20 【図31】 第2の単位スイッチ(高速インタフェース対応)のブロック図。

【図32】 第1の単位スイッチ(高速インタフェース対応)の動作例を示した図。

【図33】 第2の単位スイッチ(高速インタフェース対応)の動作例を示した図。

【図34】 異なる入線数、出線数を持つ第1の単位スイッチと第2の単位スイッチで構成した集線形接続の構成図。

30 【図35】 宛先ビットマップテーブルを共有化する場合の集線形接続の構成図。

【図36】 従来例1における通話路構成モデルを示す図。

【図37】 従来例1におけるルート情報テーブル容量比較図。

【図38】 従来例1におけるヘッダ処理部構成図。

【図39】 従来例2におけるピラミッド構成による大規模化を示した図。

【図40】 従来例3におけるセル交換装置全体を示すブロック図。

40 【図41】 従来例3におけるATMスイッチのブロック図。

【図42】 従来例3におけるセル多重回路の内部回路例を示す図。

【図43】 従来例3における各部のタイミング図。

【図44】 従来例3におけるセル分離回路の内部回路例を示す図。

【図45】 従来例3における各部のタイミング図。

【図46】 従来例3におけるATMスイッチ内のアドレス待ち行列の一例を示す図。

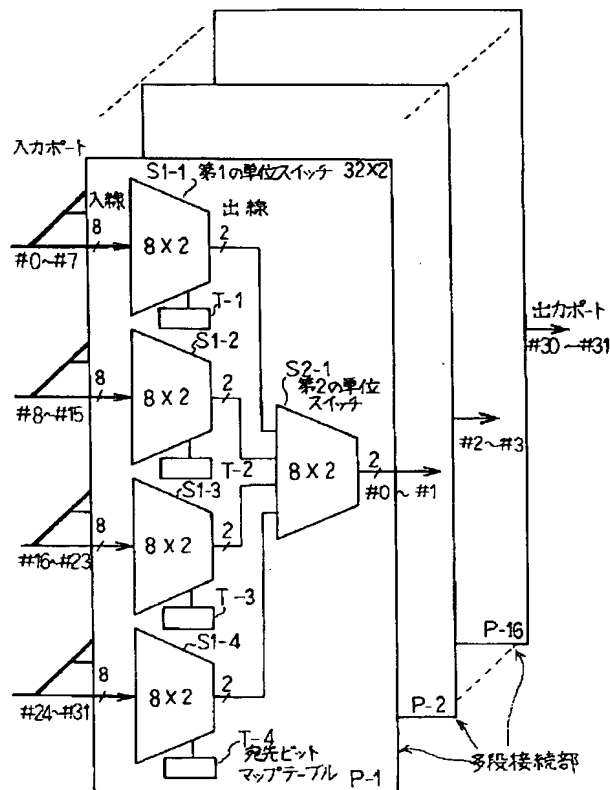
50 【図47】 従来例3における出線のタイミング図。

【図48】 従来例4における回線収容方式を示す図。

【符号の説明】

1 入線、2 出線、3 ATMスイッチ、4 セル多重回路、5 セル分離回路、6 入力ポート、7 出力ポート、8 セル交換装置、10 ヘッダ処理回路、11 バッファメモリ、12 記憶制御回路、13 セル書き込み回路、14 セル読み出し回路、15 バッファ制御回路、16 書き込みバッファ選択回路、17 アドレス交換回路、18 アドレス待ち行列、19 読み出しバッファ選択回路、21, 23 セル速度調整バッファ、22 アドレスフィルタ、100 セル分離回路、101 タイミング発生手段、105 同報処理手段、111, 112 書き込みバッファ選択回路、120 アドレス交換回路、131, 132 ヘッダ処理回路、151, 152 読み出しバッファ選択回路、160 セレクタ、170 振り分け回路、180 セル多重回路、190 分配回路、S1-1, S1-2, S1

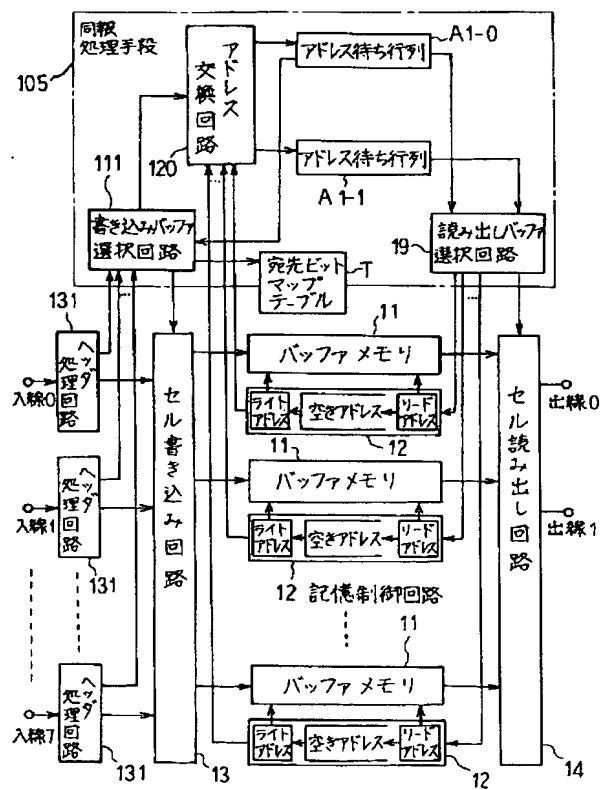
【図1】



2段接続による32×32スイッチの構成図
(8×2の単位スイッチを用いた場合)

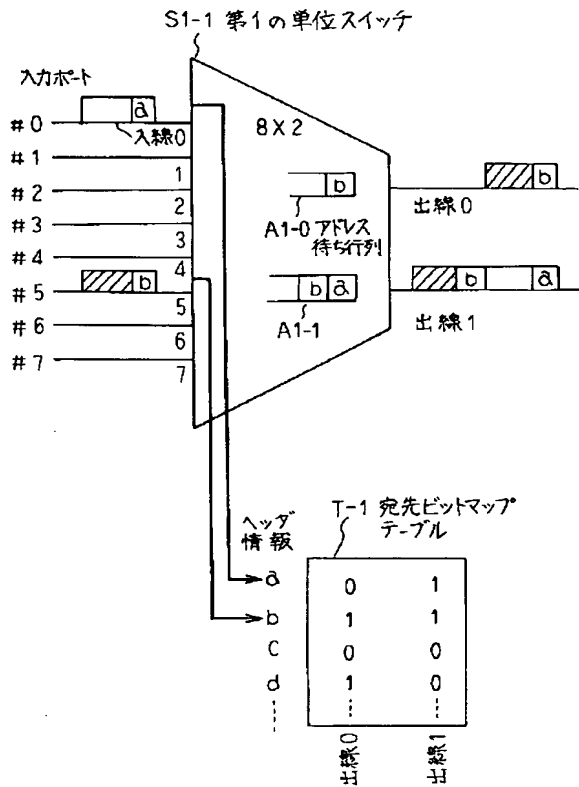
-3, S1-4, S1-63, S1-M/m, S1 第1の単位スイッチ、T-1, T-2, T-3, T-4, T-M/m, T 宛先ビットマップテーブル、S2-1, S2 第2の単位スイッチ、P-1, P-2, P-16, P-N/n, P-L/n 多段接続部、A1-0, A1-1, A1-2, A2-0, A2-1, A2-2, A2-(n-1), A1-00, A1-01, A1-02, A1-03, A2-00, A2-01, A2-02, A2-03, A1-H, A2-H アドレス待ち行列、D-1, D-2, D-M/m 同報識別子割り当て手段、SL1-1, SL1-2, SL1-M/m 第1の単位スイッチ (低速インタフェース対応)、SL2-1 第2の単位スイッチ (低速インタフェース対応)、SH1-1, SH1-2 第1の単位スイッチ (高速インタフェース対応)、SH2-1 第2の単位スイッチ (高速インタフェース対応)。

【図2】



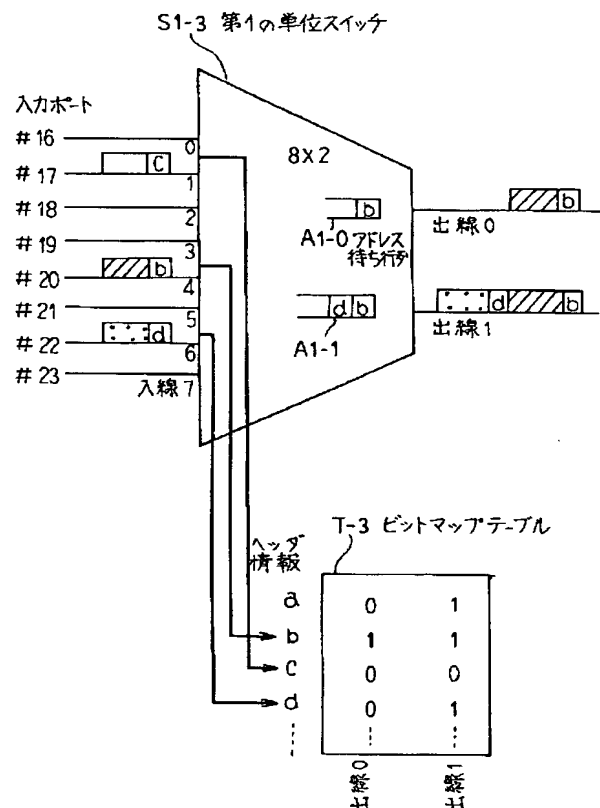
第1の単位スイッチブロック図

【図 3】



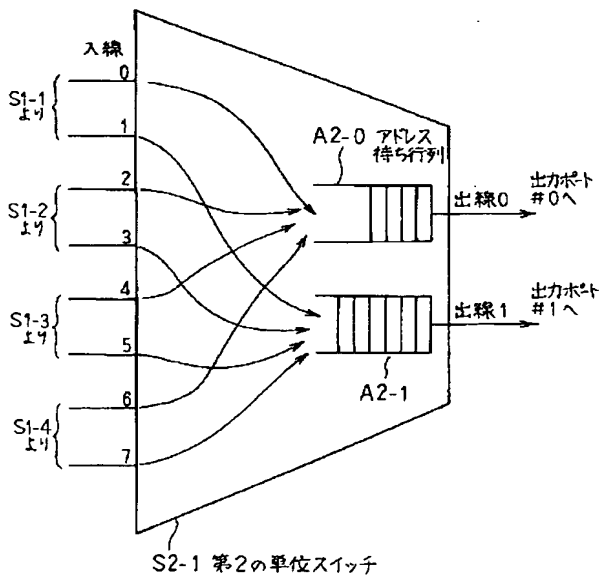
第 1 の単位スイッチ S1-1 における動作例

【図 4】



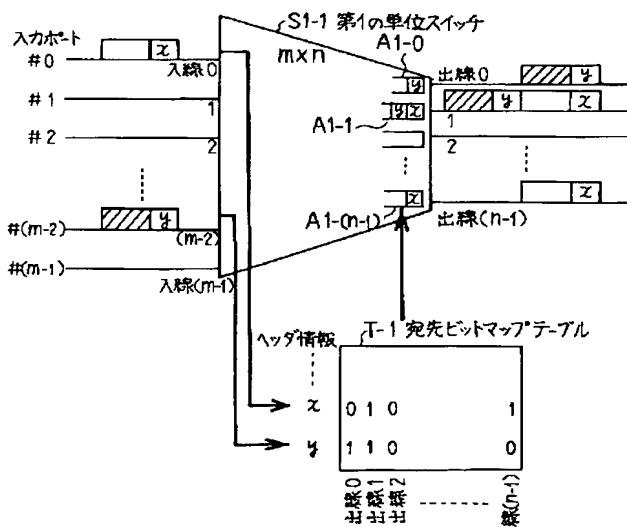
第 1 の単位スイッチ S1-3 における動作例

【図 7】



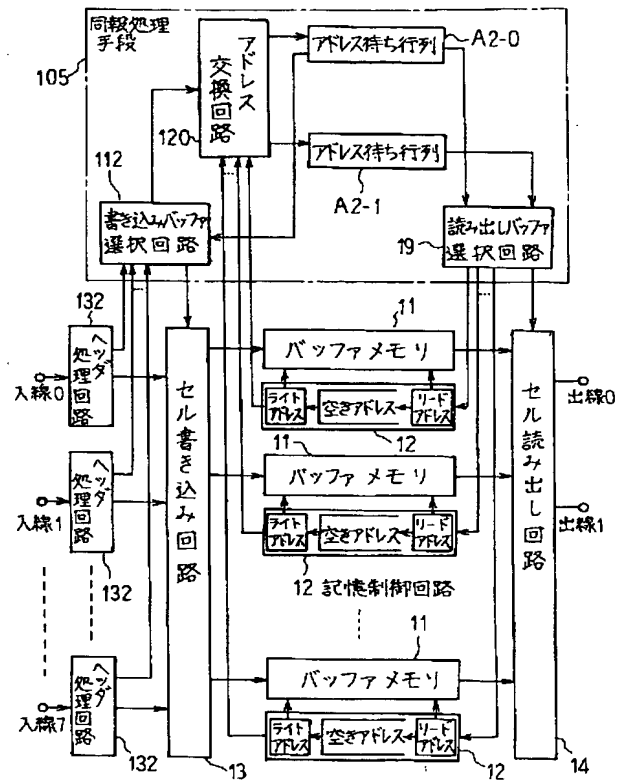
第 2 の単位スイッチにおける動作例

【図 9】



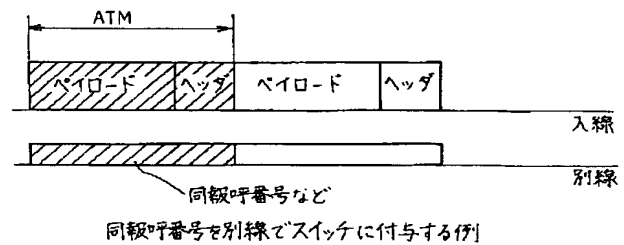
第 1 の単位スイッチ S1-1 における動作例

【図 6】



第2の単位スイッチブロック図

【图 14】

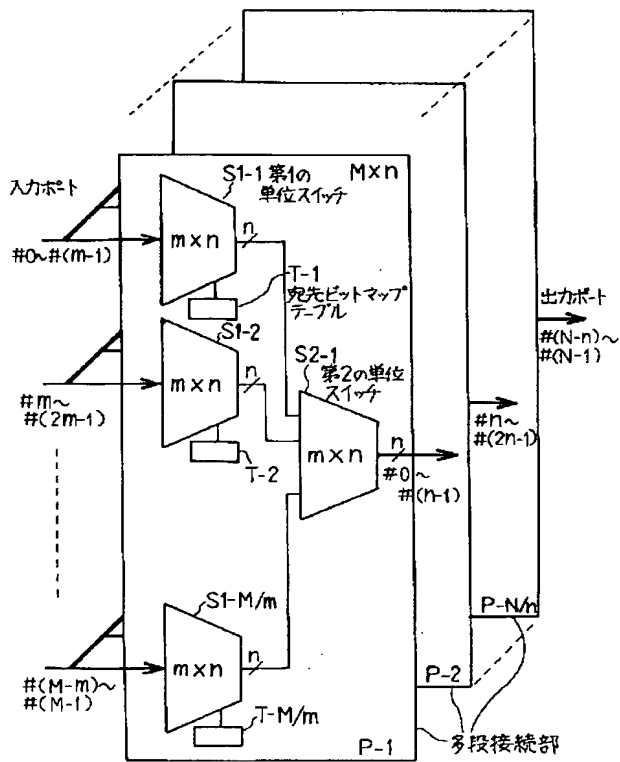


【图 18】

各々のパラメータ

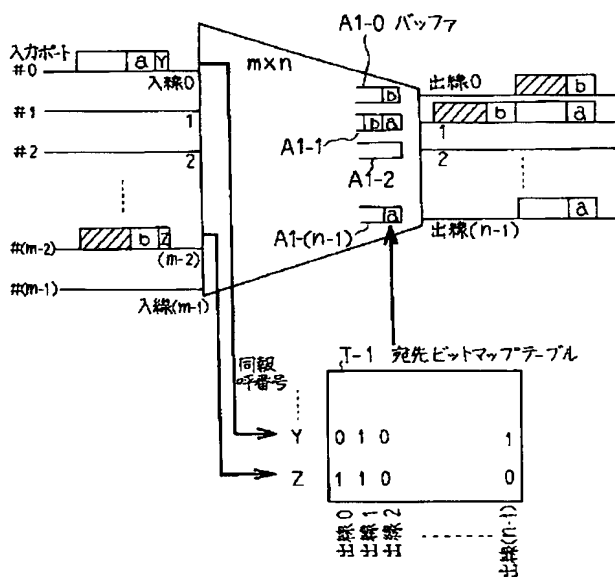
番号	項 目	三段接続	集積形接続
1	多段段数	3 段 (固定)	K 段
2	単位スイッチの規模	$t \times t$	$m \times n$ ($m > n$ とする)

【図 8】



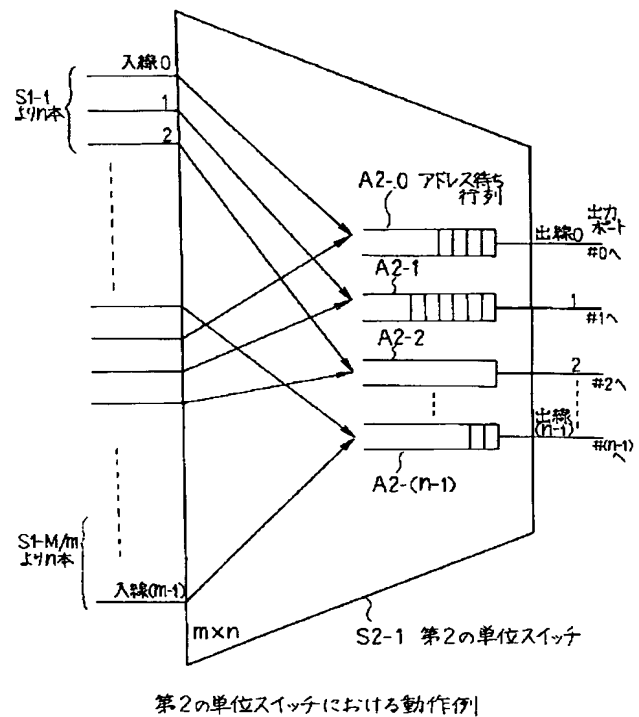
2段接続によるM×Nスイッチの構成図
(m×nの単位スイッチを用いた場合)

【図 15】



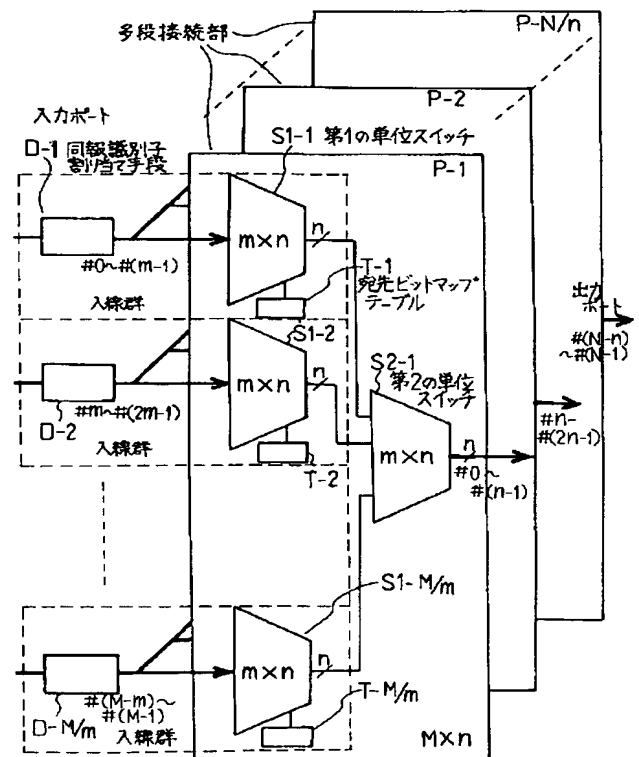
第1の単位スイッチS1-1における動作例

【図 10】



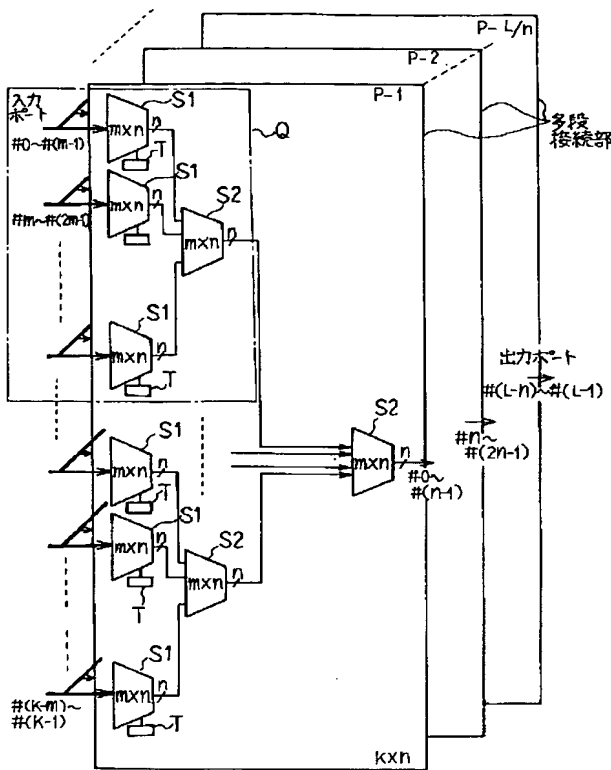
第2の単位スイッチにおける動作例

【図 12】



集積形接続によるM×Nスイッチの構成図
(入線群単位で同報呼番号を定義)

【図 1 1】



集線形接続によるK×Lスイッチの構成図(3段構成)
(m×nの単位スイッチを3段用いた場合)

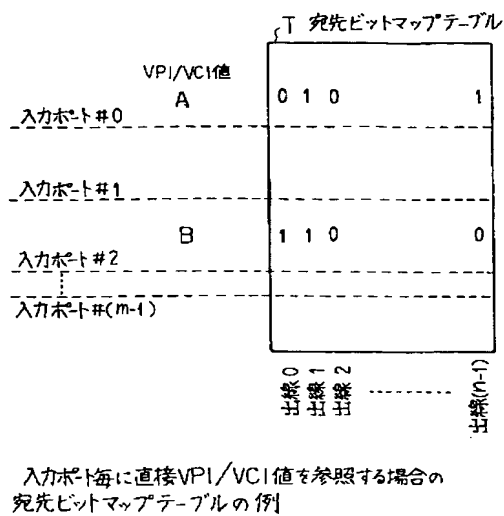
【図 1 9】

番号	条件	三段接続	集線形接続
1	全体の入線数をMとしたときの宛先ビットマップテーブルの量 (一般解)	$C(tM+2M^2)$ (bits)	CM^2 (bits)
2	特に、 $M = m \times (m/n)^{(K-1)}$ という関係が成立する場合の容量	$C\{tm(m/n)^{(K-1)} + 2m^2(m/n)^{(2K-2)}\}$	$CM^2(m/n)^{(2K-2)}$
3	例えば、 $m=32, n=8, K=2, t=32, C=1K$ 本、 (すなわち $M=128$) の時の容量 (具体例)	36 M (bits)	16 M (bits)

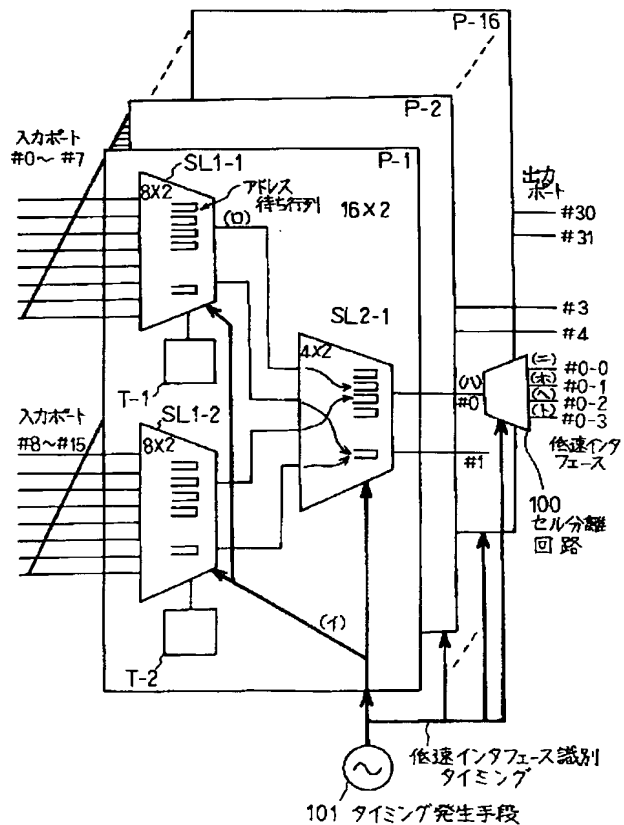
(Kは提案する集線形接続における段数を示すパラメータ)

宛先ビットマップテーブルの量の比較

【図 1 6】

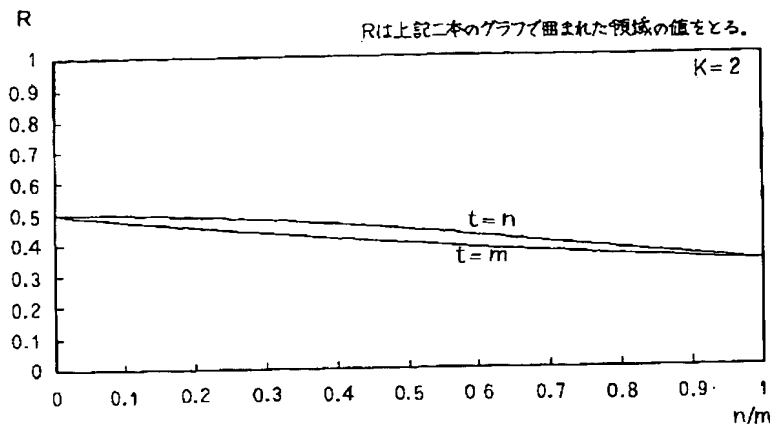


【図 2 2】



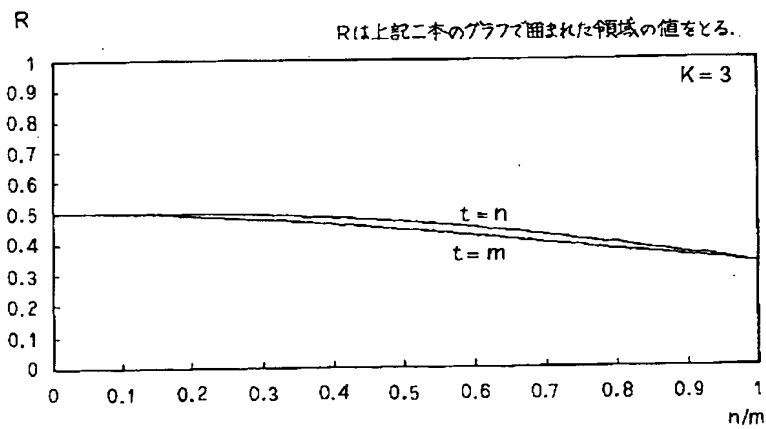
低速インタフェース対応

【図 2 0】



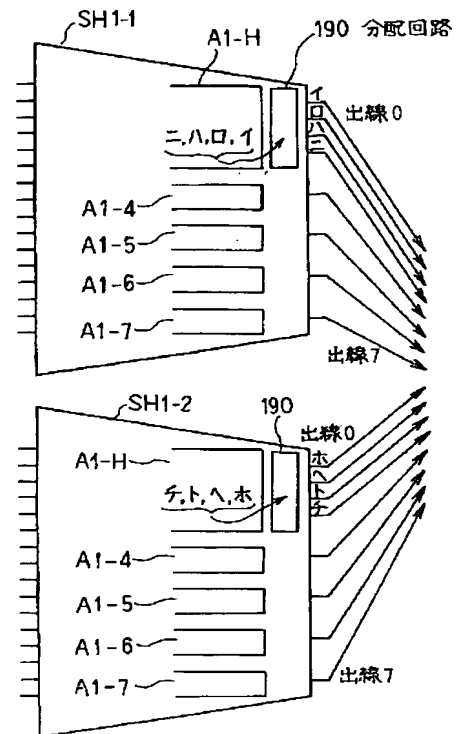
宛先ビットマップテーブルの容量の比率Rの範囲(集線形接続/三段接続)
($K=2, 0 < n < m, n \leq t \leq m$)

【図 2 1】



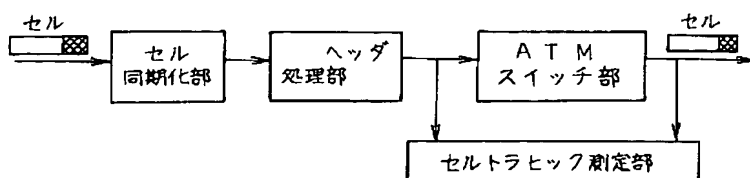
宛先ビットマップテーブルの容量の比率Rの範囲(集線形接続/三段接続)
($K=3, 0 < n < m, n \leq t \leq m$)

【図 3 2】



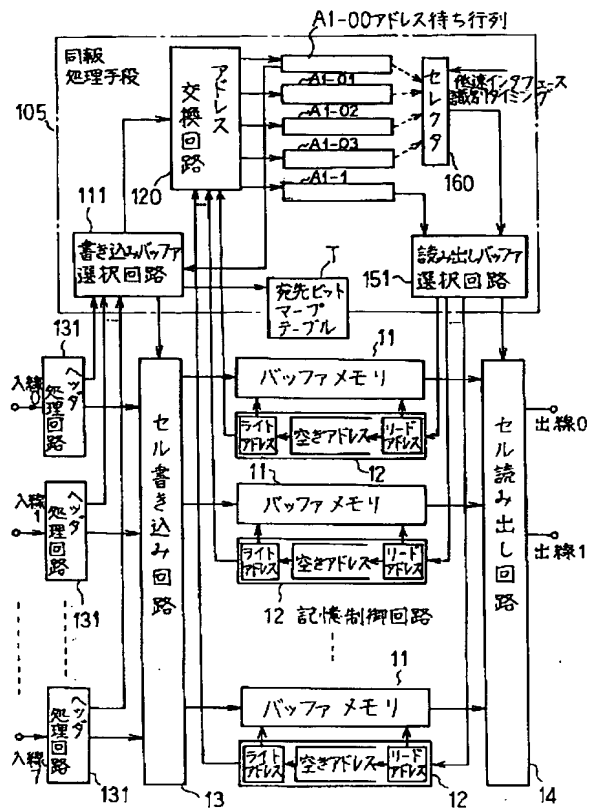
第1の単位スイッチの動作例

【図 3 6】



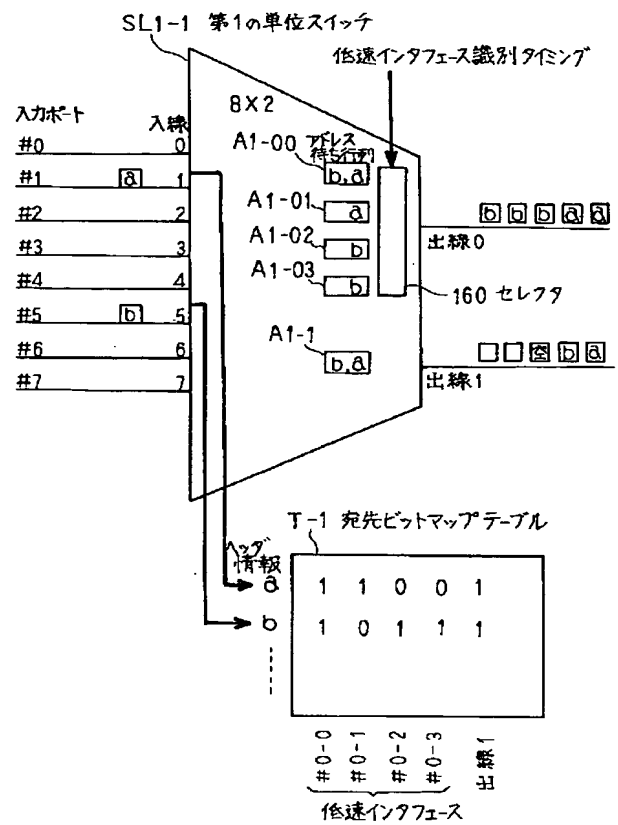
通話路構成モデル

【図 23】



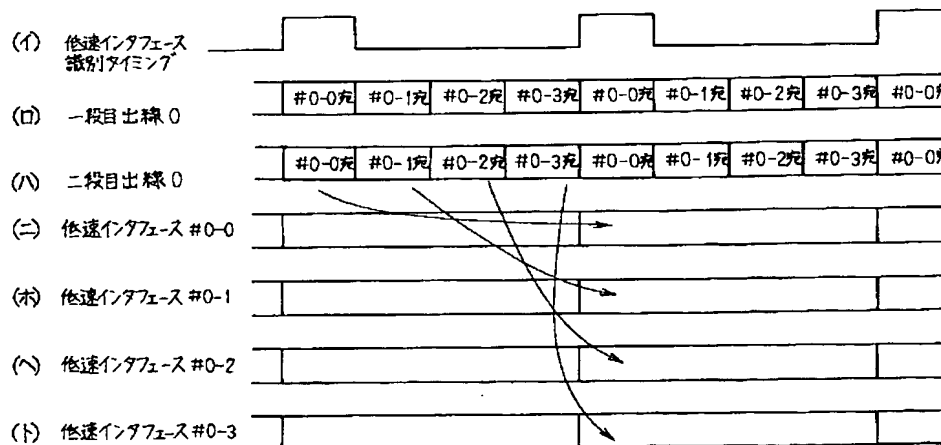
第1の単位スイッチ(低速インタフェース対応)

【図 25】



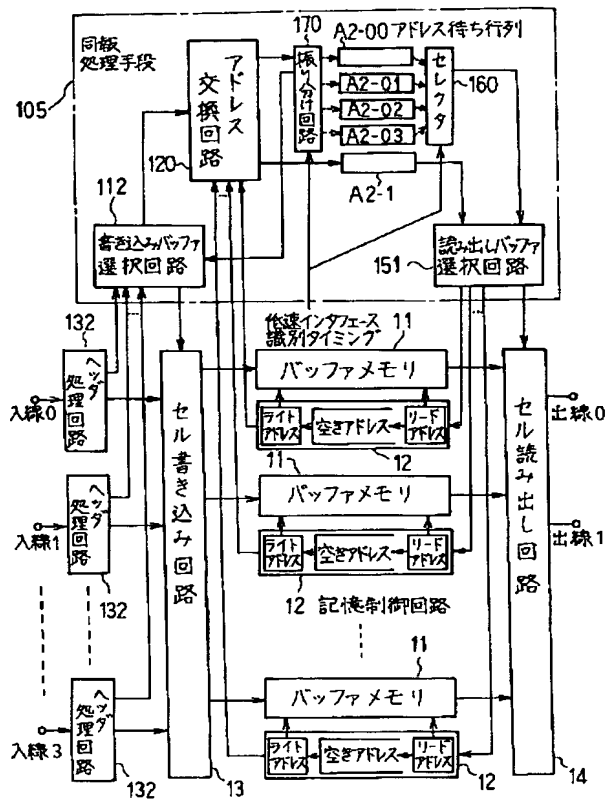
第1の単位スイッチ(低速インタフェース対応) SL1-1

【図 24】



各出線のタイミングチャート

【図 2 6】



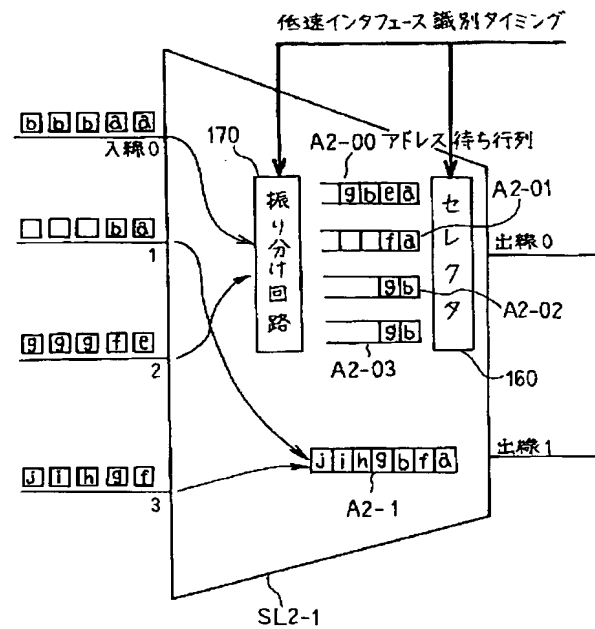
第2の単位スイッチ(低速インタフェース対応)

【図 4 6】

出線が収容する出力ポート#1~#4に対応したアドレス待ち行列の例
FIFOタイプメモリ

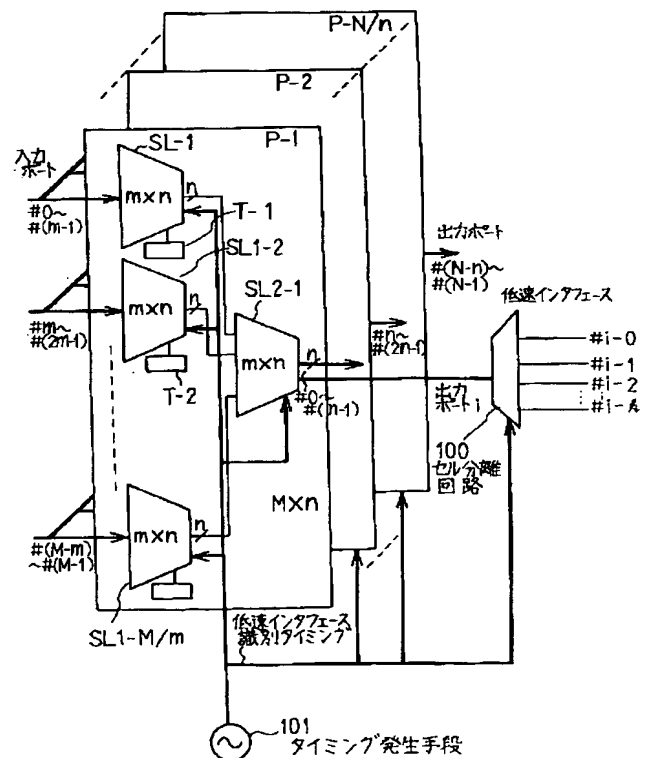
セル13 セル12 セル11	→ 出力ポート#1 対応
セル22 セル21	→ 出力ポート#2 対応
	→ 出力ポート#3 対応
セル43 セル42 セル41	→ 出力ポート#4 対応

【図 2 7】

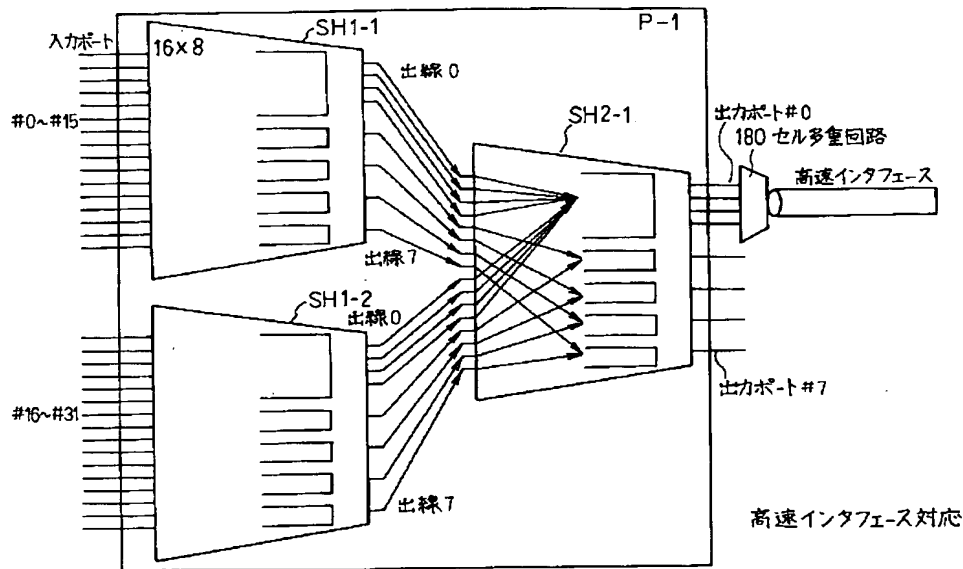


第2の単位スイッチ(低速インタフェース対応)

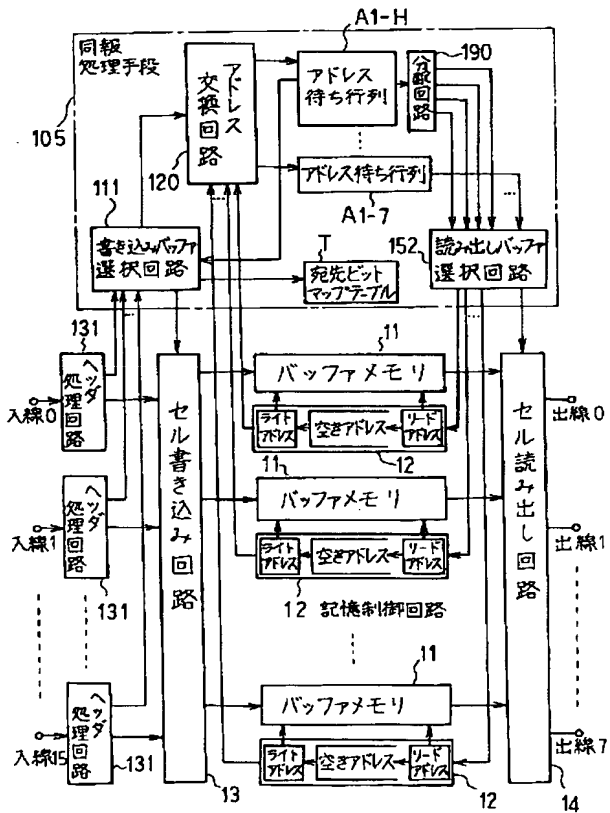
【図 2 8】



【図 2 9】

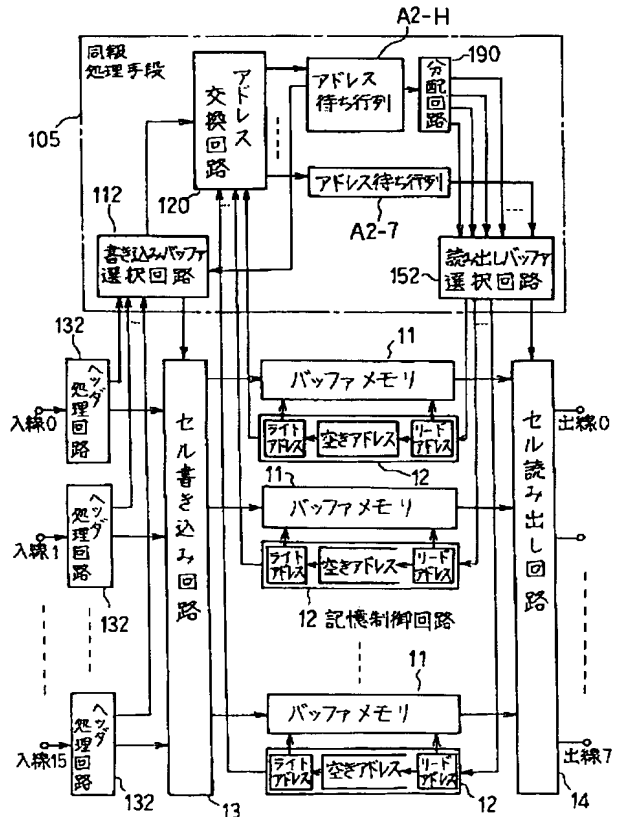


【図 3 0】



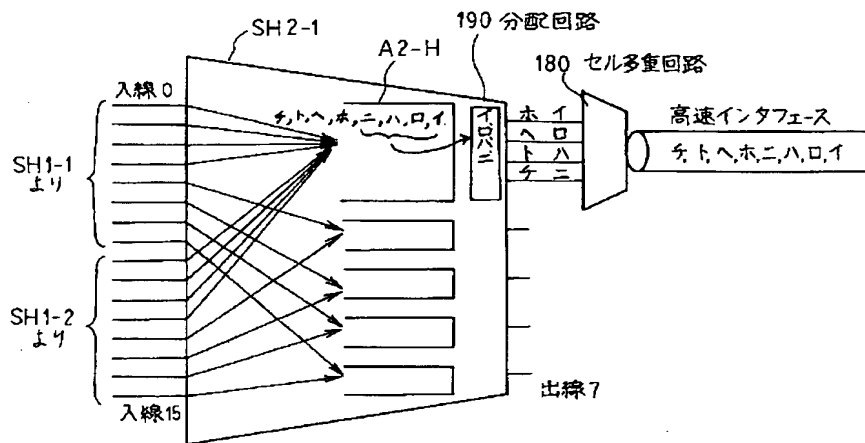
第1の単位スイッチ(高速インターフェース対応)のブロック図

【図 3 1】



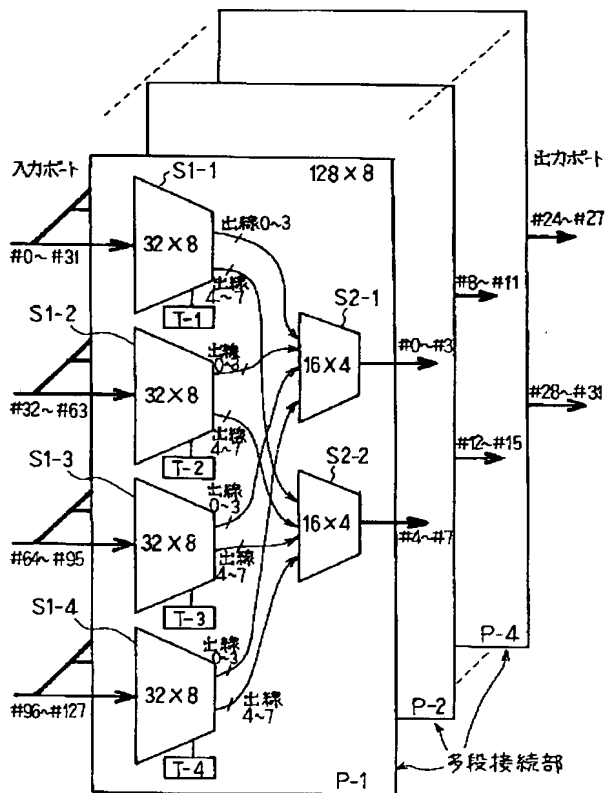
第2の単位スイッチ(高速インターフェース対応)のブロック図

【図 3 3】



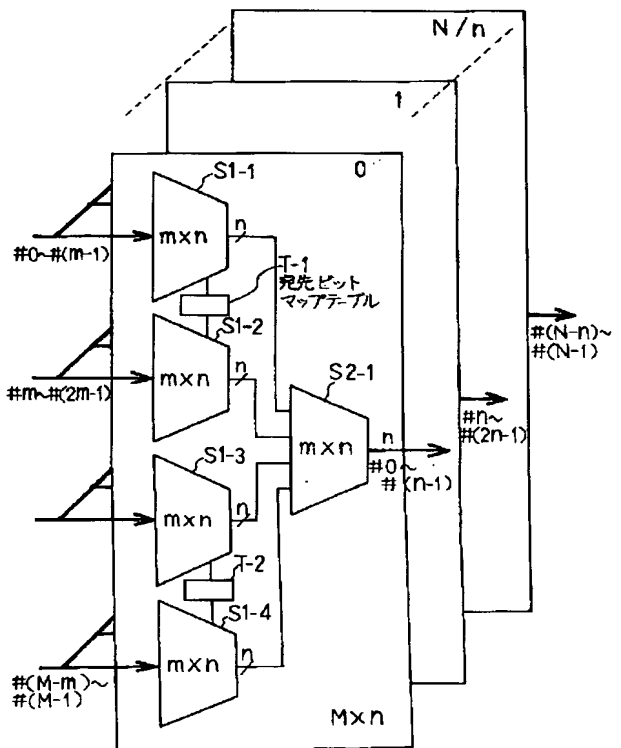
第2の単位スイッチの動作例

【図 3 4】



2段接続による128×32スイッチの構成図
 第1の単位スイッチ(32×8), 第2の単位スイッチ(16×4)

【図 3 5】



宛先ビットマップテーブルを共有化する場合

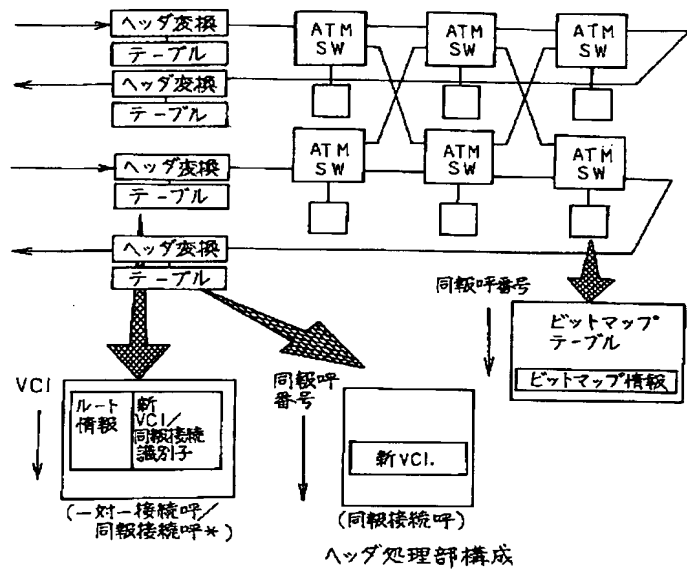
【図37】

方式	全てビットマップ表現	同報のみビットマップ表現
テーブル 容量	$32 \times 3 + 16 = 112 \text{ bit}$ $112 \text{ bit} \times 64 \text{ kw} = 7168 \text{ kbit}$	$5 \times 3 + 16 + 1 = 32 \text{ bit}$ $32 \text{ bit} \times 64 \text{ kw} = 2048 \text{ kbit}$ $32 \text{ bit} \times 4 \text{ kw} \times 3 / 32 = 12 \text{ kbit}$ Total 2060 kbit
容量比	3.5	1

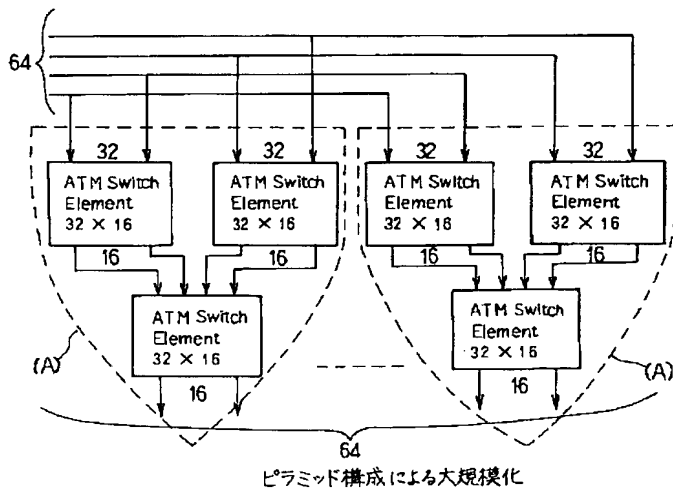
VC1 : 16ビット
入線/出線数: 32

ルート情報テーブル容量比較

【図38】



【図39】

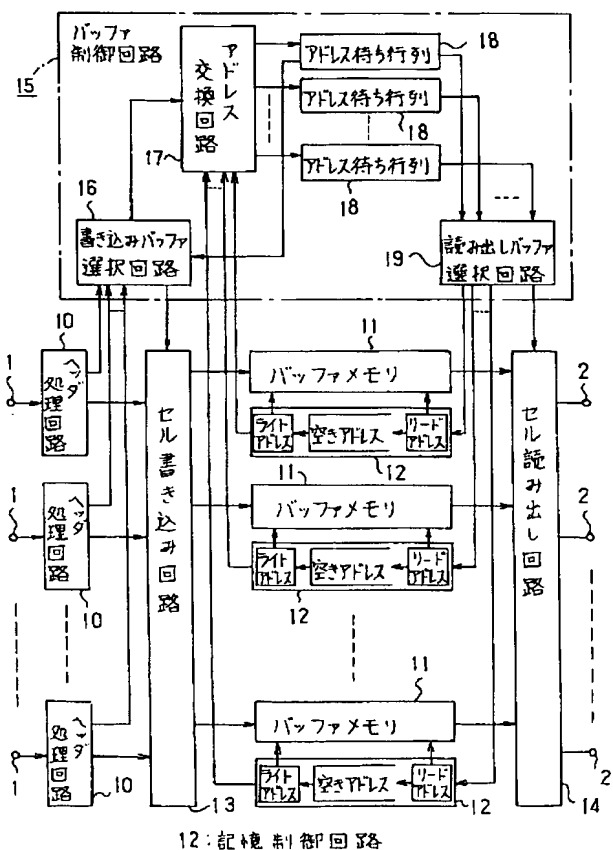


【図47】

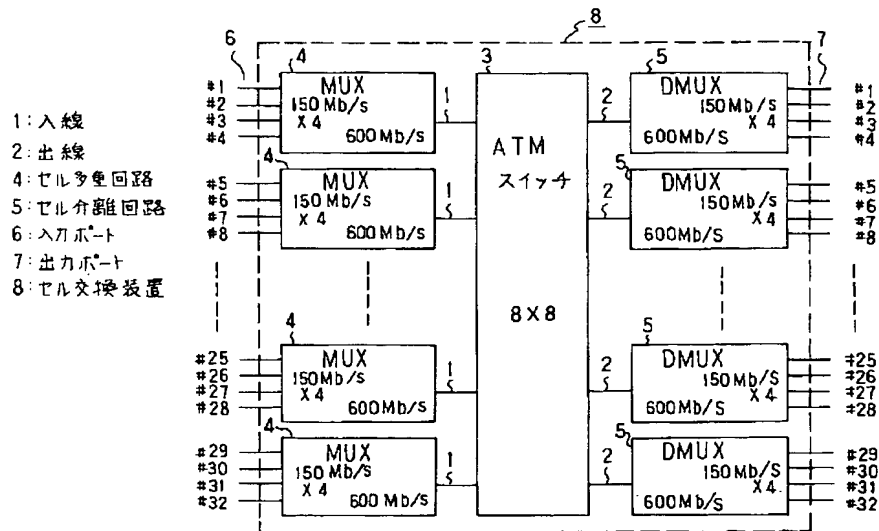
出線時におけるセル出カタイミグ図
(図46の例)において以降到着セルがない場合)

タイム スロット	1	2	3	4	5	6	7	8	9	10
セル	セル11	セル21	空セル	セル41	セル12	セル22	空セル	セル42	セル13	空セル
対応する #	#1	#2	#3	#4	#1	#2	#3	#4	#1	#2
出力ポート										

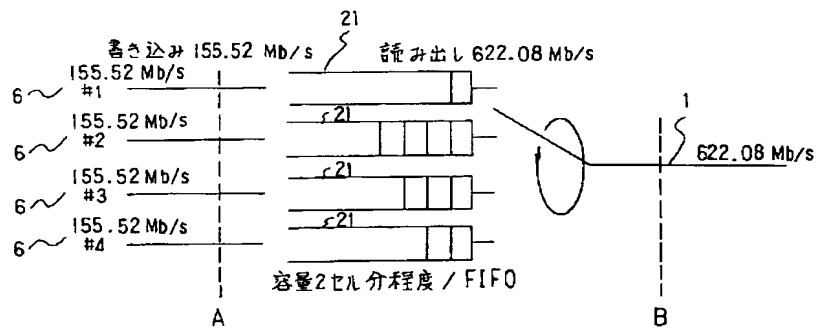
【図41】



【図 4 0】



【図 4 2】



21: セル速度調整バッファ

【図 4 3】

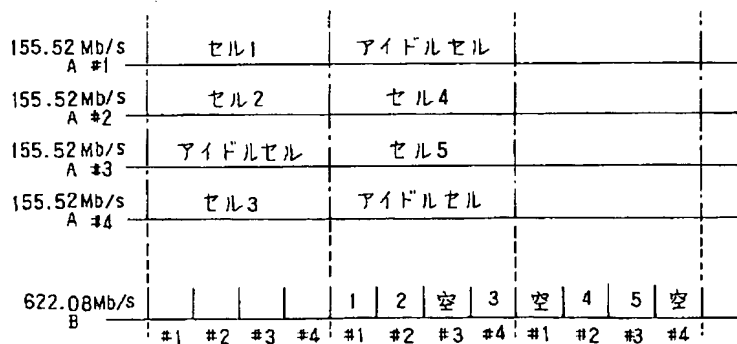


Figure 1 is a block diagram of a data transfer system. It shows a 622.08 Mb/s input line (labeled 2) entering a block 'C'. Inside block 'C', the input is split into '書き込み 622.08 Mb/s' (Write) and '読み出し 155.52 Mb/s' (Read). The output of block 'C' goes to block 'D', which contains four 'セル速度調整バッファ' (Cell Rate Adjustment Buffers) labeled #1, #2, #3, and #4. Each buffer has a '23' (Cell Rate Adjustment) block. The output of block 'D' is 155.52 Mb/s. The diagram is labeled '容量2セル分程度 / FIFO' (Capacity about 2 cells / FIFO).

622.08 Mb/s C	1	2	空	3	空	4	5	空				
	#1	#2	#3	#4	#1	#2	#3	#4	#1	#2	#3	#4
155.52 Mb/s D #1						セル 1			アイドルセル			
155.52 Mb/s D #2						セル 2			セル 4			
155.52 Mb/s D #3						アイドルセル			セル 5			
155.52 Mb/s D #4						セル 3			アイドルセル			

2.4 Gb/s 対応アドレスキュー

☆: アイドルセル

2.4 Gb/s 回線収容方式

(72)発明者 佐々木 康仁

(72)発明者 山田 浩利

(72)発明者 大島 一能

鎌倉市大船五丁目1番1号 三菱電機株式
会社通信システム研究所内